

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

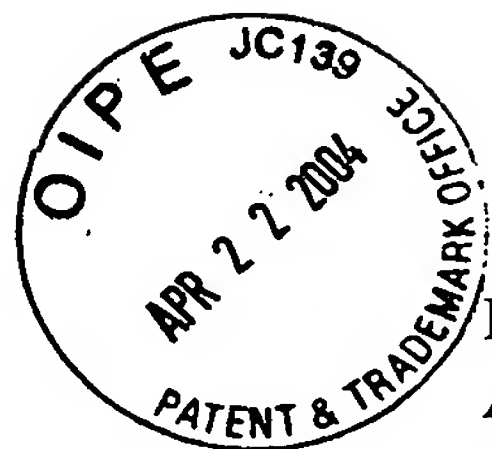
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



Patent

Customer No. 31561  
Application No.: 10/707,139  
Docket No. 10243-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Han-Chung Lai  
Application No. : 10/707,139  
Filed : November 24, 2003  
For : THIN FILM TRANSISTOR ARRAY PANEL AND  
FABRICATING METHOD THEREOF  
Examiner :  
Art Unit : 2811

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA 22202

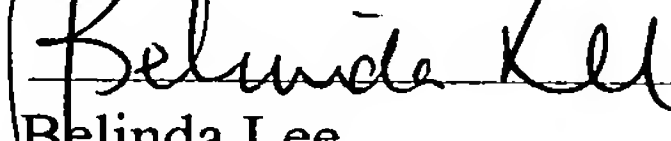
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:  
092117364, filed on: 2003/06/26.

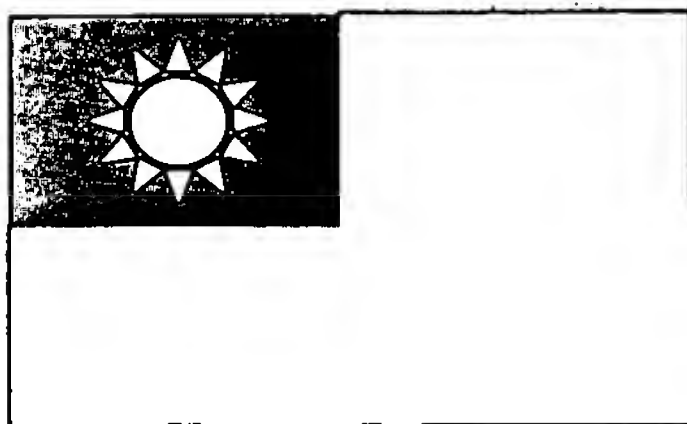
A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: April 20, 2004

By:   
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**  
**7F.-1, No. 100, Roosevelt Rd.,**  
**Sec. 2, Taipei 100, Taiwan, R.O.C.**  
**Tel: 886-2-2369 2800**  
**Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 26 日  
Application Date

申請案號：092117364  
Application No.

申請人：友達光電股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 11 月 24 日  
Issue Date

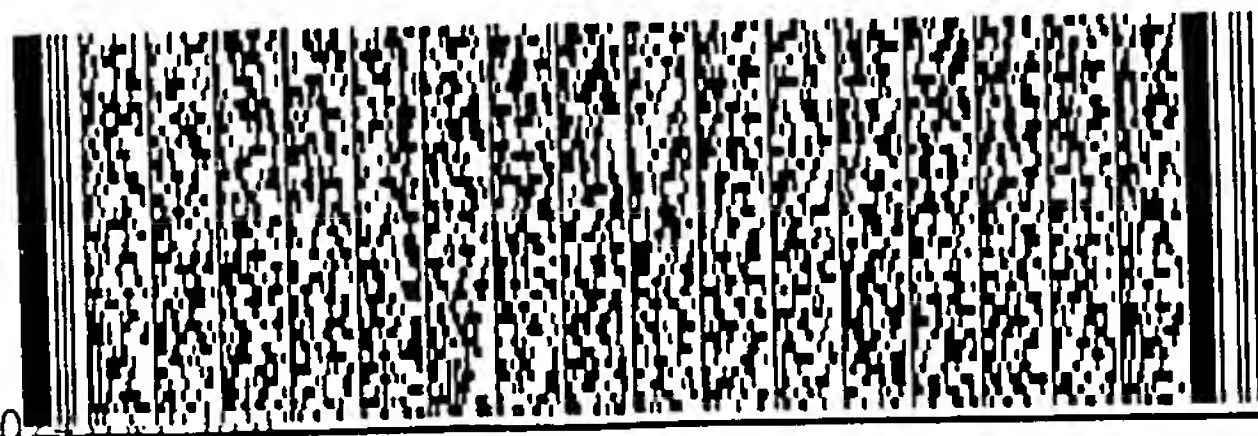
發文字號：09221188980  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	薄膜電晶體陣列基板及其製造方法
	英 文	Thin Film Transistor Array Panel and Fabricating Method Thereof
二、 發明人 (共1人)	姓 名 (中文)	1. 來漢中
	姓 名 (英文)	1. Han-Chung Lai
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣中壢市內壢成功路122巷63弄20號
	住居所 (英 文)	1. No. 20, Alley 63, Lane 122, Chengkung Rd., Chungli, Taoyuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. Au Optonics Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Kun-Yao Lee



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及其製造方法)

一種薄膜電晶體陣列基板的製造方法，此方法係於基板上形成掃描配線、閘極以及與掃描配線連接之第一鐳墊時，同時在基板表面之另一邊緣處形成第二鐳墊，以構成第一金屬層。之後，依序形成閘介電層、通道層以及第二金屬層，第二金屬層包括資料配線以及源極與汲極。而且資料配線之一端係延伸至第二鐳墊之上方。並且在該處形成接觸窗，以使資料配線與第二鐳墊電性連接。本發明將與資料配線電性連接之第二鐳墊製作在基板表面上，因而與同屬第一金屬層，因此可以防止第二鐳墊不會遭到製程之損害。

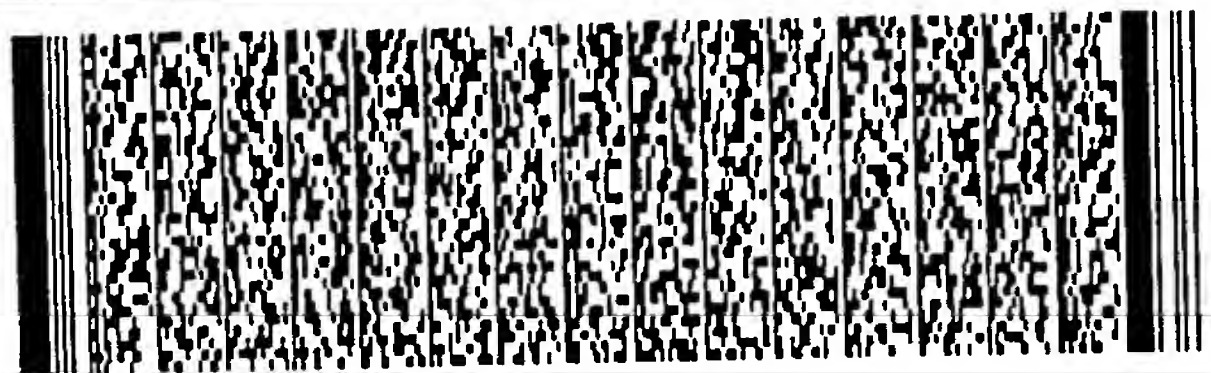
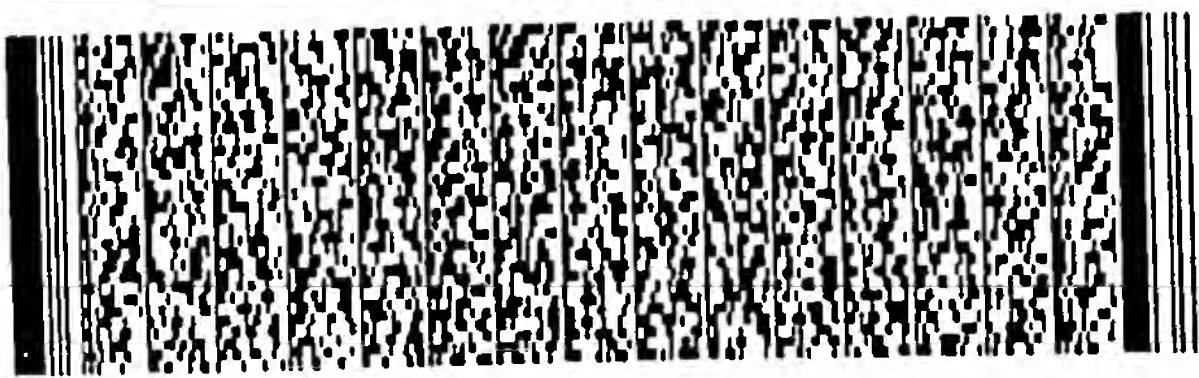
伍、(一)、本案代表圖為：第\_\_2A\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

101、101a：掃描配線      102：閘極      106：通道層  
110a/110b：源極/汲極      111：薄膜電晶體

六、英文發明摘要 (發明名稱：Thin Film Transistor Array Panel and Fabricating Method Thereof)

A method of forming a thin film transistor array panel is described. Scan lines, gates and first pads connected with the scan lines are formed on a substrate, and second pads are also formed on the surface of the substrate at the same time for forming a first metal layer. A gate dielectric layer, channel layers and a second metal layer comprising sources/drains and data





四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及其製造方法)

112 : 資料配線      114 : 低介電光阻層      116、118、  
120、154 : 開口(接觸窗)      130、140 : 鉾墊      132、  
142 : 罩幕層      122 : 畫素電極      124、134、144 : 電  
極材料層      150 : 畫素儲存電容器      152 : 導電層

六、英文發明摘要 (發明名稱：Thin Film Transistor Array Panel and Fabricating Method Thereof)

lines are formed over the substrate sequentially. The data lines extend to the location that is above the second pads and are electrically connected with the second pads through contacts. In the present invention, the second pads are formed on the surface of the substrate and being part of the first metal layer. Hence, the second pads can be protected from process damage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

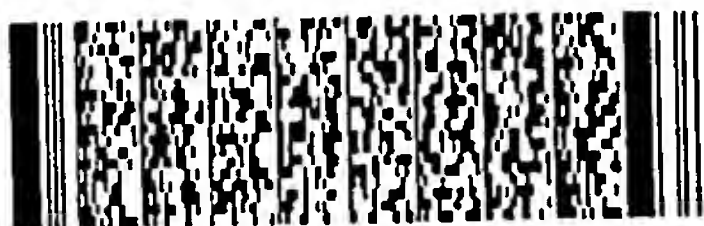
寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明是有關於一種薄膜電晶體陣列及其製造方法，且特別是有關於一種具有高開口率性質之薄膜電晶體陣列及其製造方法。

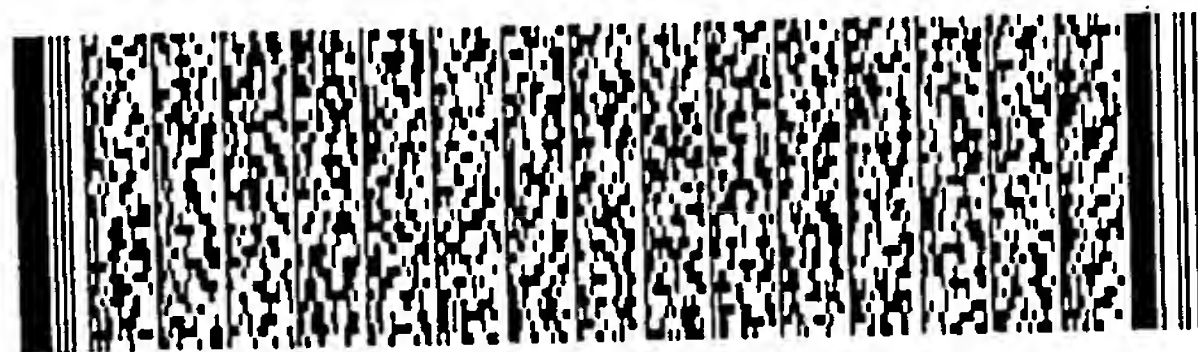
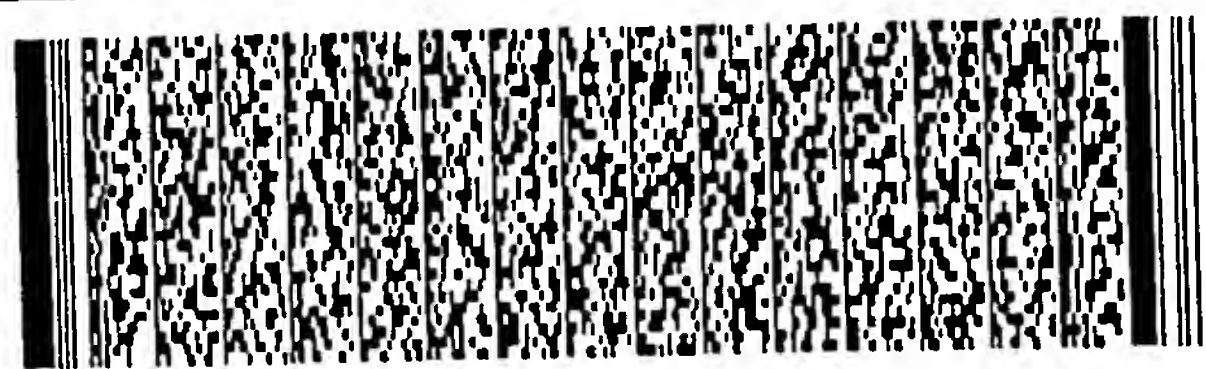
### 【先前技術】

薄膜電晶體液晶顯示器主要由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成，其中薄膜電晶體陣列基板是由多個以陣列排列之薄膜電晶體，以及與每一薄膜電晶體對應配置之一畫素電極(Pixel Electrode)所組成。而上述之薄膜電晶體係包括閘極、通道層、汲極與源極，薄膜電晶體係用來作為液晶顯示單元的開關元件。

薄膜電晶體元件的操作原理與傳統的半導體MOS元件相類似，都是具有三個端子(閘極、汲極以及源極)的元件。通常薄膜電晶體元件可分成非晶矽與非晶矽材質兩種類型。其中，非晶矽薄膜電晶體是屬於較為成熟之技術。就非晶矽薄膜電晶體液晶顯示器而言，其製造流程大致包括在基板上形成閘極、通道層、源極/汲極、畫素電極以及保護層。

第1圖所示，其繪示是習知一種薄膜電晶體陣列基板之上視示意圖；第1A圖至第1E圖所示，其繪示是第1圖中由I-I'之剖面示意圖。

請參照第1圖與第1A圖，習知薄膜電晶體陣列基板製造方法係首先在進行第一道光罩製程，以在基板10上形成閘極12以及與閘極連接之掃描配線20，並且同時在掃描配





## 五、發明說明 (2)

線20之末端形成銲墊24。之後，在基板10上方覆蓋一層閘介電層50。

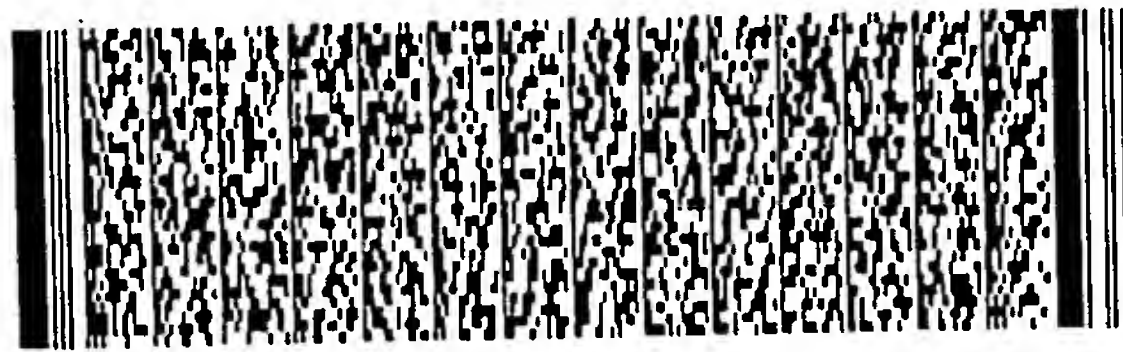
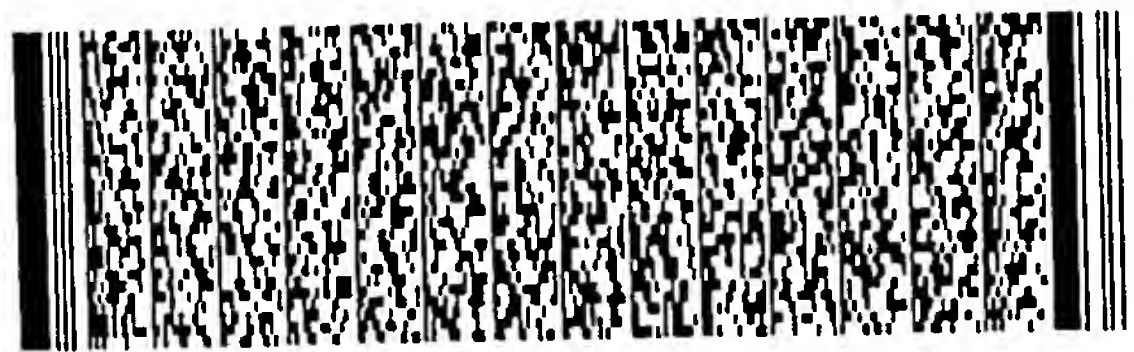
請參照第1圖與第1B圖，進行第二道光罩製程，以在閘極12上方之閘介電層50上形成一通道層14以及一歐姆接觸層15。

請參照第1圖與第1C圖，進行第三道光罩製程，以形成源極/汲極16a/16b以及與源極16a連接之資料配線22，且同時在資料配線22之末端形成另一銲墊26。

請參照第1圖與第1D圖，進行第四道光罩製程，以在基板10之上方形形成一圖案化之保護層52，暴露出汲極16b、銲墊26與銲墊24上方之閘介電層50。

請參照第1圖與第1E圖，進行第五道光罩製程，以在保護層52上形成一圖案化之低介電光阻層54，暴露出汲極16b以及基板10之二邊緣處(對應形成有銲墊26、24之處)。隨後，以光阻層54為蝕刻罩幕以移除銲墊24上之閘介電層50。之後，進行第六道光罩製程，以在光阻層54上形成畫素電極30，並且在銲墊26、24表面覆蓋一層氧化銦錫層32、34。

上述於保護層上形成低介電光阻層的目的是為了提高液晶顯示器之開口率。由於低介電光阻層的存在，畫素電極可以延伸覆蓋在部分資料配線之上方以提高開口率，這是因為低介電光阻層之厚度足夠厚，因此可以避免畫素電極與資料配線之間寄生電容太大，而不會使面板之特性受到影響。



### 五、發明說明 (3)

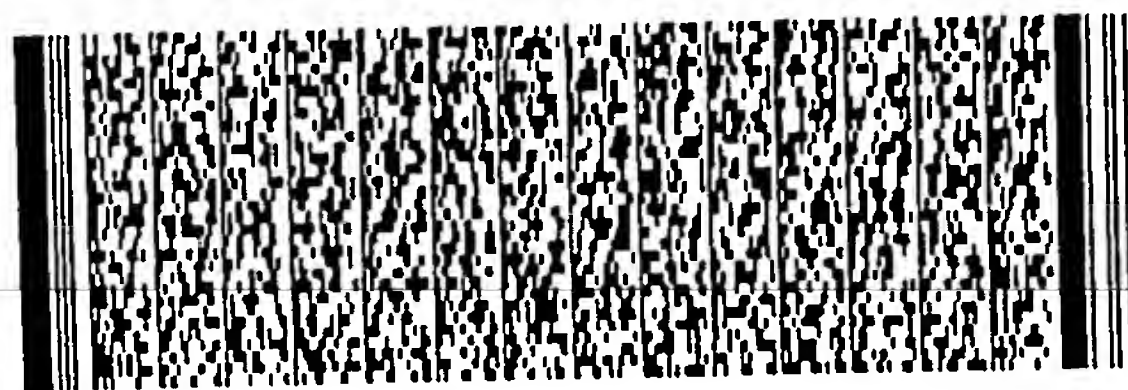
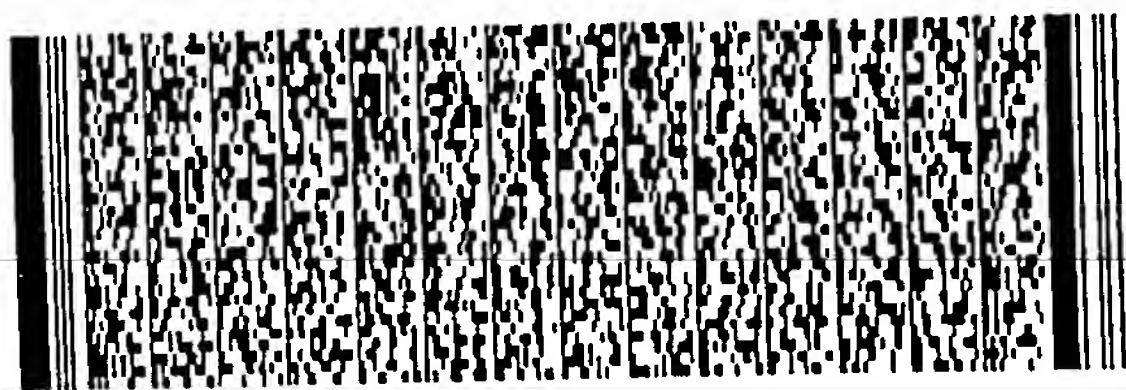
然而，上述之方法是先利用一道光罩製程圖案化保護層之後，才利用另一道光罩製程來圖案畫低介電光阻層。因此需多一道光罩製程步驟，而使製程較為繁雜。而且如果上述製程簡化成一道光罩製程來圖案畫低介電光阻層且一次蝕刻，因鐳墊26上方並未有保護層52保護，因此後續在形成低介電光阻層54時以及之後再以低介電光阻層54為蝕刻罩幕蝕刻鐳墊24上方之閘介電層50時，鐳墊26表面都將可能受到上述製程反應物之損害(例如是顯影液以及蝕刻物之損害)。

#### 【發明內容】

因此本發明的目的就是在提供一種薄膜電晶體陣列基板及其製造方法，以解決習知圖案化低介電光阻層與保護層需使用二道光罩而有製程較為繁瑣之問題。

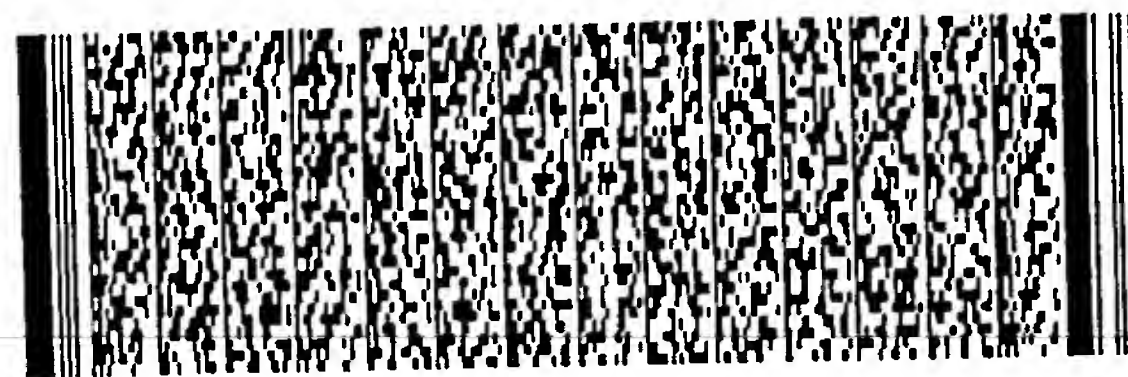
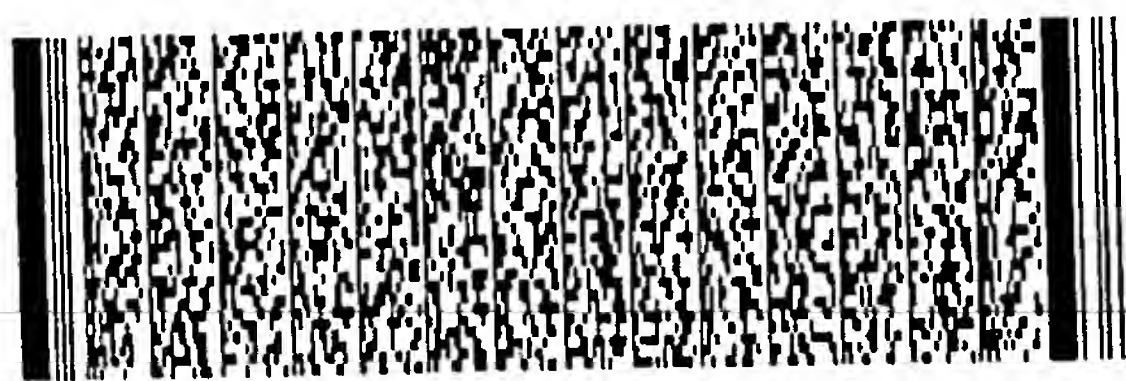
本發明的另一目的就是在提供一種薄膜電晶體陣列基板及其製造方法，其非但可簡化製程，而且與資料配線電性連接之鐳墊可以受到保護，而不會遭到製程步驟之損害。

本發明提出一種薄膜電晶體陣列的製造方法，此方法係首先在基板上形成數條掃描配線以及與掃描配線電性連接之數個閘極，且同時在基板之二邊緣處分別定義出數個第一鐳墊以及數個第二鐳墊，其中第一鐳墊係與掃描配線連接。接著，在基板上形成一閘介電層，覆蓋住掃描配線、閘極、第一鐳墊以及第二鐳墊。之後，在每一通道層上方之閘介電層上形成一通道層。然後，在每一通道層上形



#### 五、發明說明 (4)

成一源極/汲極，並且在閘介電層上形成與每一源極電性連接之一資料配線，其中每一資料配線之一端係延伸至一第二鐳墊處，而上述所形成之閘極、通道層以及源極/汲極係構成數個薄膜電晶體。在上述製程步驟中，更包括在每一第一/第二鐳墊上方之閘介電層上分別形成一第一/第二罩幕層，覆蓋住第一/第二鐳墊之邊緣。其中，第一/第二罩幕層可以是於形成源極/汲極以及資料配線時所同時定義出的，亦可以是於形成通道層時所同時定義出的。除此之外，第一/第二罩幕層還可以是二層結構，其上層係於形成源極/汲極以及資料配線時所同時定義出的，其下層係於形成通道層時所同時定義出的。之後，在基板上方形成一保護層，並且在保護層上形成一圖案化之低介電光阻層，此光阻層係暴露出基板之二邊緣處（即形成有第一/第二罩幕層之二邊緣處）之保護層，且光阻層中具有數個第一開口、數個第二開口以及數個第三開口，其中第一開口係暴露出汲極上方之保護層，第二開口係暴露出部分資料配線上方之保護層，第三開口係暴露出部分第二鐳墊上方之保護層。之後，以光阻層為蝕刻罩幕，移除未被光阻層覆蓋之保護層以及閘介電層，以使汲極、位於基板邊緣處的資料配線以及鄰近於資料配線處之第二鐳墊暴露出來。而且在此蝕刻步驟中，位在基板二邊緣之第一/第二罩幕層亦同時作為蝕刻罩幕，而使此蝕刻步驟將基板二邊緣處未被第一/第二罩幕層覆蓋之閘介電層移除，使得第一/第二鐳墊暴露出來。最後，在光阻層上形成數個畫素



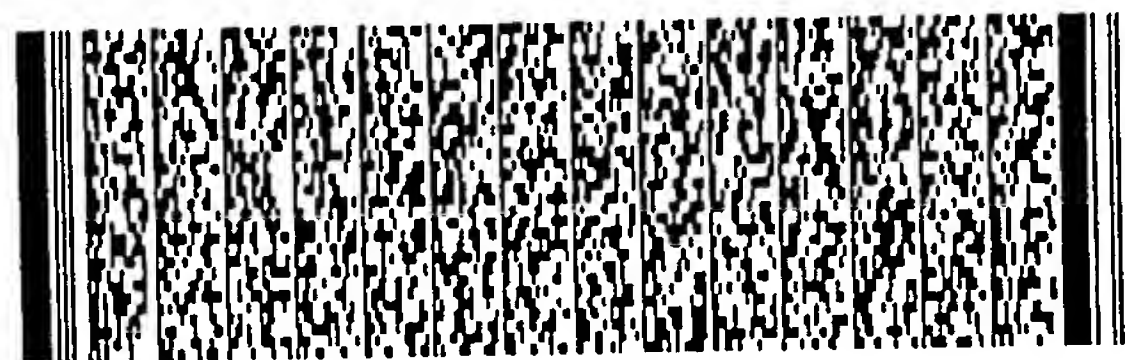
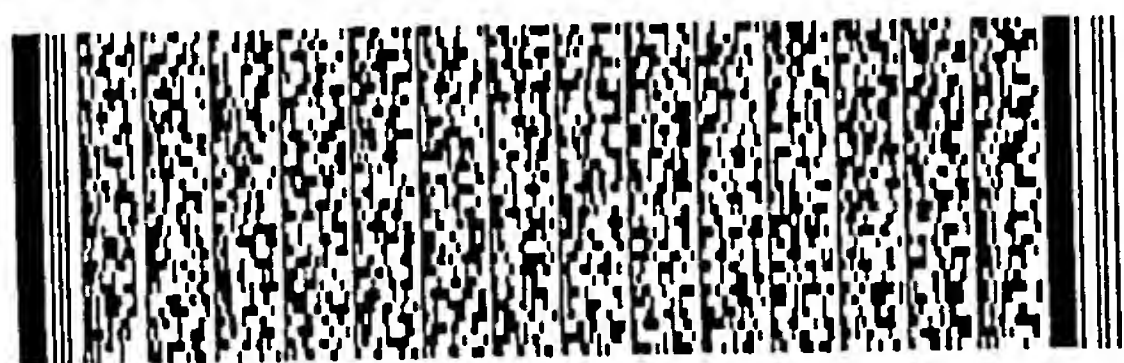


#### 五、發明說明 (5)

電極，且在第二/第三開口內以及第一/第二鐳墊上形成一電極材料層，其中汲極與畫素電極係藉由第一開口而電連接，資料配線與第二鐳墊係藉由第二/第三開口以及電極材料層而電性連接。

特別值得一提的是，倘若第一/第二罩幕層係為於形成通道層時所同時定義出的，其在以光阻層與第一/第二罩幕層為蝕刻罩幕進行蝕刻製程，以移除第一/第二鐳墊上之閘介電層，而使第一/第二鐳墊暴露出來之步驟中，更包括將第一/第二罩幕層移除，且移除第一/第二罩幕層底下之閘介電層之部分厚度。如此一來，第一/第二罩幕層底下的閘介電層之厚度將會小於閘介電層原有之厚度。

本發明又提出一種薄膜電晶體陣列，其包括數條掃描配線、數個第一鐳墊、數個第二鐳墊、一閘介電層、數條資料配線、數個第一罩幕層、數個第二罩幕層、數個薄膜電晶體、一保護層、一低介電光阻層以及數個畫素電極。其中，掃描配線係配置在基板上。第一鐳墊係配置在基板之一邊緣，其中第一鐳墊係與掃描配線電性連接。第二鐳墊係配置在基板之另一邊緣。另外，閘介電層係配置在基板上，且閘介電層係暴露出第一/第二鐳墊的部分區域。而資料配線係配置在閘介電層上，其中資料配線延伸至基板之邊緣處係與第二鐳墊電性連接。此外，第一罩幕層係暴露出被閘介電層之裸露的第一鐳墊。第二罩幕層係配置在第二鐳墊之上，且第一罩幕層係暴露出被

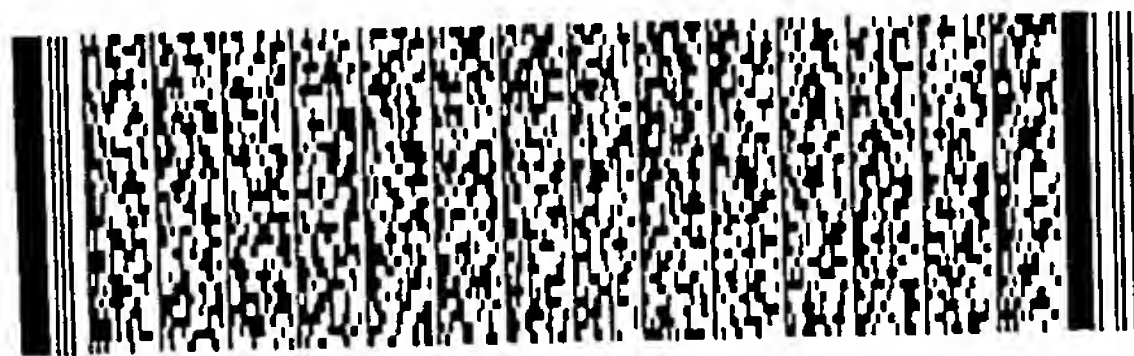
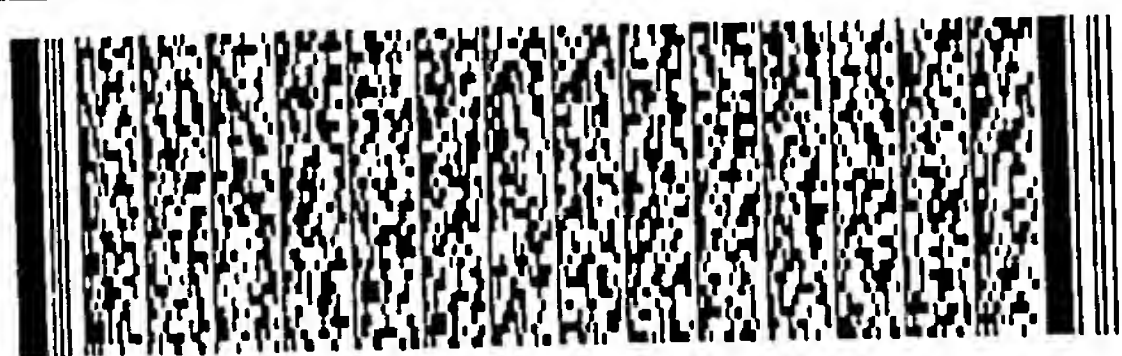


## 五、發明說明 (6)

開介電層裸露的第一銲墊。再者，薄膜電晶體係配置在基板上，其中每一薄膜電晶體具有一閘極、一源極/汲極以及一通道層，且每一閘極係與每一掃描配線電性連接，每一源極係與每一資料配線電性連接，每一通道層係配置在每一閘極上方之開介電層上。而保護層係配置在基板之上，低介電光阻層係配置在保護層之上方，低介電光阻層係暴露出基板二邊緣處（配置有第一/第二罩幕層與第一/第二銲墊之兩邊緣處）。畫素電極係配置在低介電光阻層上，且對應薄膜電晶體配置，其中每一畫素電極係與每一汲極電性連接。

在上述薄膜電晶體陣列中，第一/第二罩幕層之材質可以是與源極/汲極以及資料配線相同之材質，亦可以是與通道層相同之材質。除此之外，第一/第二罩幕層還可以是二層結構，其上層之材質是與源極/汲極以及資料配線相同之材質，其下層是與通道層相同之材質。

本發明再提出一種薄膜電晶體陣列，其包括數條掃描配線、數個第一銲墊、數個第二銲墊、一開介電層、數條資料配線、數個薄膜電晶體、一保護層、一低介電光阻層以及數個畫素電極。其中，掃描配線係配置在一基板上。第一銲墊係配置在基板之一邊緣，其中第一銲墊係與掃描配線電性連接。第二銲墊係配置在基板之另一邊緣。另外，開介電層係配置在基板上，其中開介電層係暴露出第一/第二銲墊之部分區域，而且位於第一/第二銲墊邊緣並將第一/第二銲墊邊緣覆蓋住之開介電層，其厚度係小於





## 五、發明說明 (7)

位於其他部分之間介電層的厚度。再者，資料配線係配置在閘介電層上，其中資料配線延伸至基板之邊緣處係與第二鐳墊電性連接。而薄膜電晶體係配置在基板上，其中每一薄膜電晶體具有一閘極、一源極/汲極以及一通道層，每一閘極係與每一掃描配線電性連接，每一該源極係與每一資料配線電性連接，每一通道層係配置在每一閘極上方之閘介電層上。此外，保護層係配置在基板之上方，低介電光阻層係配置在保護層上，低介電光阻層並係暴露基板之邊緣處(即配置第一/第二鐳墊之邊緣處)。而畫素電極係配置在低介電光阻層上，且對應薄膜電晶體配置，其中每一畫素電極係與每一汲極電性連接。

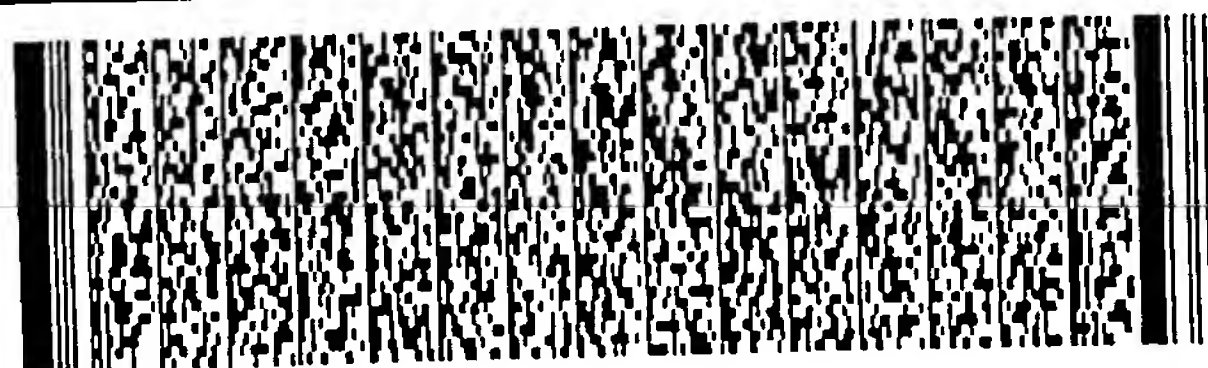
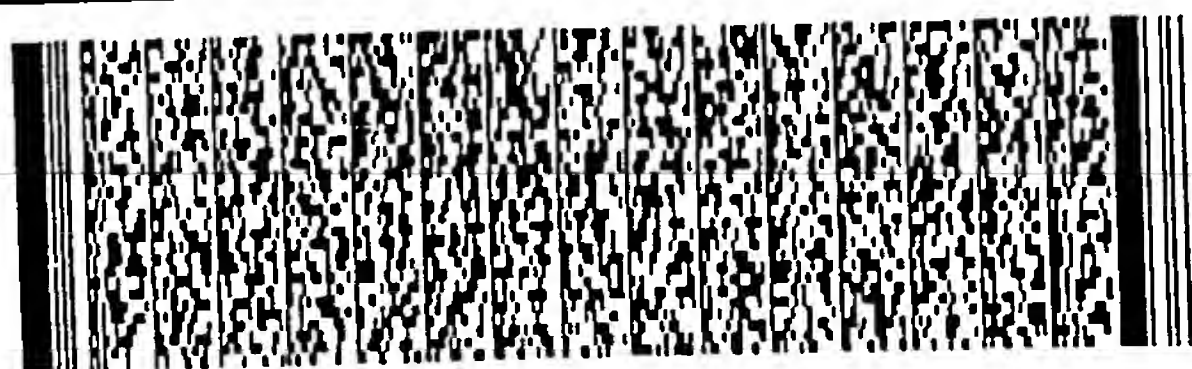
在本發明之薄膜電晶體陣列基板的製造方法中，與資料配線電性連接之第二鐳墊是形成於閘介電層之底下而同屬第一金屬層，因此可以解決習知技術中，第二鐳墊容易遭到製程損害之問題。

本發明之第一/第二鐳墊上因有第一/第二罩幕層之保護，而且低介電光阻層與保護層之圖案化係使用一道光罩，因此本發明之製程較為簡化，而且可以確保第一/第二鐳墊不會受到製程之損害。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

第2A圖所示，其繪示為依照本發明一較佳實施例之薄



## 五、發明說明 (8)

膜電晶體陣列基板的上視圖，第2B圖是第2A圖局部結構之分解示意圖；第3A圖至第3H圖所示，其繪示為係依照本發明一較佳實施例之薄膜電晶體陣列基板的製造流程剖面示意圖，其係為第2A圖中由I-I'的剖面示意圖。

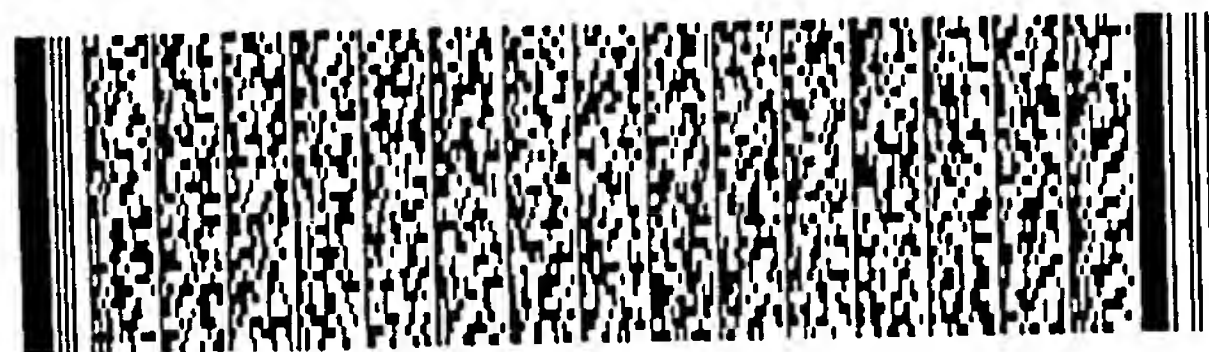
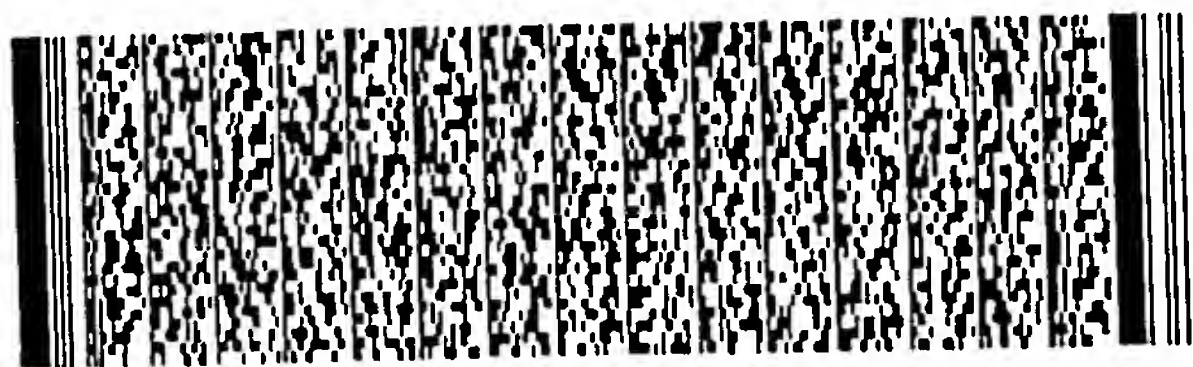
本發明所揭示的是一種薄膜電晶體陣列基板及其製造方法，在以下所述以及圖示中係以薄膜電晶體陣列之其中一畫素結構以及部分鉚墊來作詳細說明。

請參照第2A圖與第3A圖，首先進行第一道光罩製程，以在基板100上形成掃描配線101以及與掃描配線101連接之閘極102，並且在基板100之二邊緣處同時定義出第一鉚墊130以及第二鉚墊140，其中第一鉚墊130係與掃描配線101連接。而掃描配線101、閘極102、第一鉚墊130以及第二鉚墊140皆屬於第一金屬層(M1)。

接著，在基板100上形成一閘介電層104，覆蓋住掃描配線101、閘極102、第一鉚墊130以及第二鉚墊140。其中，閘介電層104之材質例如是氮化矽或氧化矽。

之後，請參照第2A圖與第3B圖，進行第二道光罩製程，以在閘極102上方之閘介電層104上定義出通道層106以及歐姆接觸層108。其中，通道層106之材質例如是非晶矽(a-Si)，而歐姆接觸層108之材質例如是經摻雜之非晶矽(n<sup>+</sup>-Si)。

接續，請參照第2A圖與第3C圖，進行第三道光罩製程，以在歐姆接觸層108上形成源極110a/汲極110b，並且同時形成與源極110a連接之資料配線112，其中資料配線



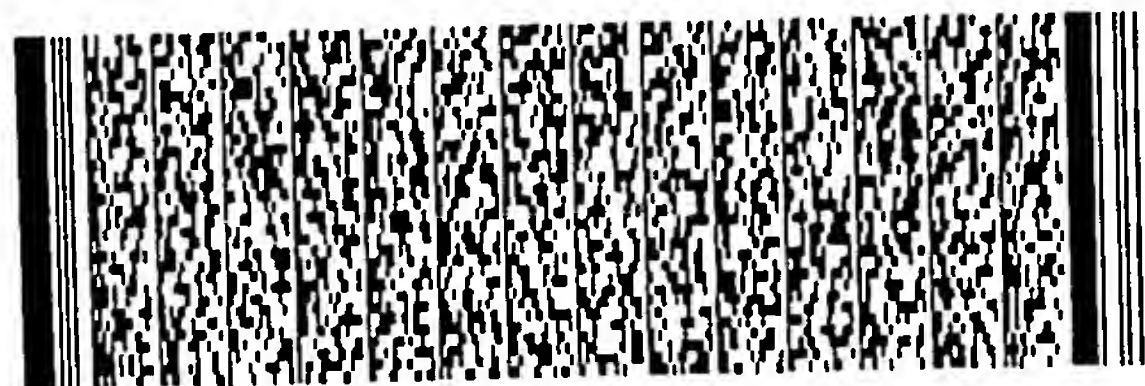
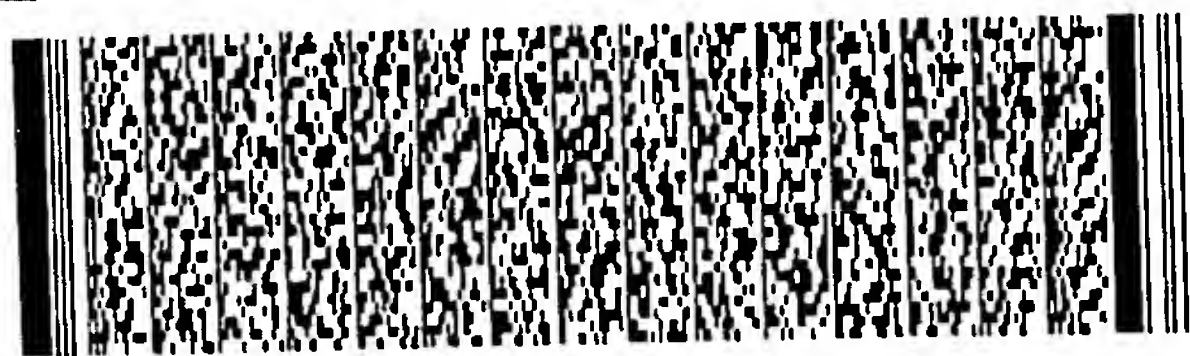
#### 五、發明說明 (9)

112 之一端係延伸至第二鉅墊140處。而閘極102、源極/汲極110a/110b以及通道層106係構成薄膜電晶體111。在此，於定義源極/汲極110a/110b與資料配線112同時，更於相鄰於掃描配線101之另一掃描配線101a上方之閘介電層104上形成一導電層152，其後續係用來作為一畫素儲存電容器之上電極之用。在此，源極110a/汲極110b、資料配線112與導電層152皆為第二層金屬層(M2)。

特別是，在本實施例中，於定義第二金屬層(源極110a/汲極110與資料配線112、導電層152)的同時，更在第一鉅墊130以及第二鉅墊140上方之閘絕緣層104上形成第一罩幕層132以及第二罩幕層142，其中第一/第二罩幕層132/142至少將第一/第二鉅墊130/140之邊緣覆蓋住。換言之，以第二鉅墊140與第二罩幕層142為例，如第2B圖所示，第二罩幕層142與第二鉅墊140之間的距離"a"以及距離"b"係大於等於0。在此，因第一/第二罩幕層132/142係為金屬材質，其面積不宜過大，因此可將第一/第二罩幕層132/142設計成似環狀圖案，以將第一/第二鉅墊130/140之邊緣覆蓋住。

之後，請參照第3D圖，在定義完第二金屬層之後，於基板100上形成一保護層113，覆蓋住第二金屬層(源極/汲極110a/110b、資料配線112、導電層152與第一/第二罩幕層132/142)。其中，保護層113之材質例如是氮化矽或是氧化矽。

隨後，請參照第2A圖以及第3E圖，進行第四道光罩製



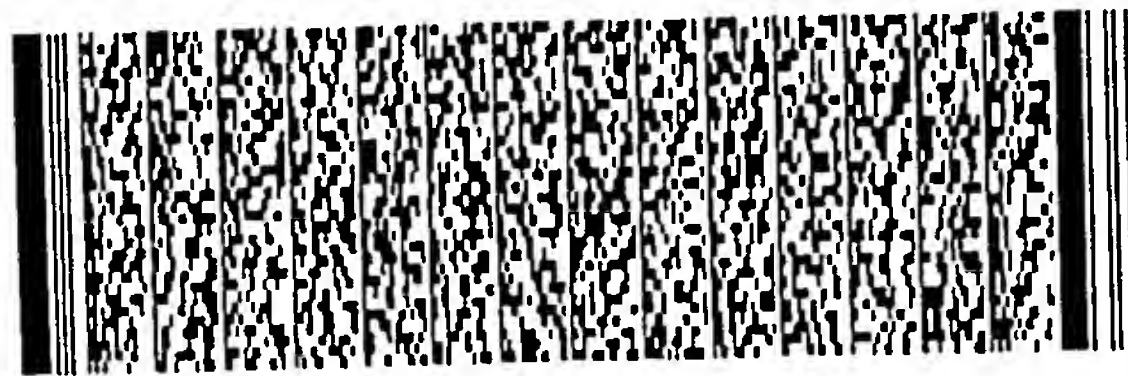
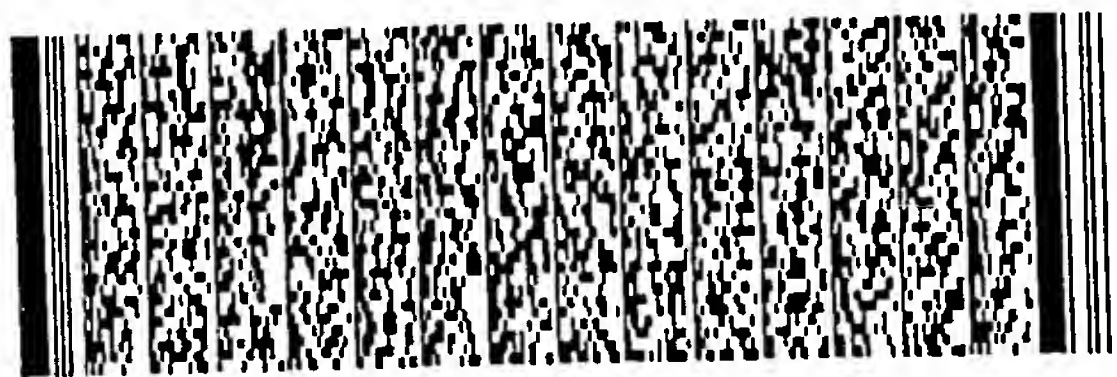


## 五、發明說明 (10)

程，以在基板100之上方形成一圖案化之低介電光阻層114，覆蓋住保護層113，暴露基板100之二邊緣處（即形有第一/第二金屬鉑墊130/140之二邊緣處），且低介電光阻層114中還形成有一第一開口116、一第二開口118以及一第三開口120，其中第一開口116係對應形成於汲極110b之上方，第二開口118係對應形成於基板100邊緣處之資料配線112的上方，而第三開口120係對應形成於鄰近於資料配線112之第二鉑墊140的上方。在此，低介電光阻層114之厚度係大於8000埃，且形成低介電光阻層114之方法例如是先塗佈一層光阻材料層之後再利用微影製程將其圖案化。

之後，請參照第2A圖與第3F圖，以低介電光阻層114作為一蝕刻罩幕，移除未被低介電光阻層114覆蓋之保護層113以及閘介電層104，以使部分汲極110b、位於基板100邊緣處的部分資料配線112以及鄰近於資料配線112處之部分第二鉑墊140暴露出來。而且在此蝕刻步驟中，位在基板100二邊緣之第一/第二罩幕層132/142亦同時作為蝕刻罩幕，而使此蝕刻步驟將基板100二邊緣處未被第一/第二罩幕層132/142覆蓋之閘介電層104移除，使得第一/第二鉑墊130/140暴露出來。

隨後，請參照第2A圖與第3G圖，進行第五道光罩製程，以在低介電光阻層114之表面上形成一畫素電極122，其中畫素電極122係藉由第一開口116而與汲極110b電性連接。在形成畫素電極122的同時，更在第二開口118以及第



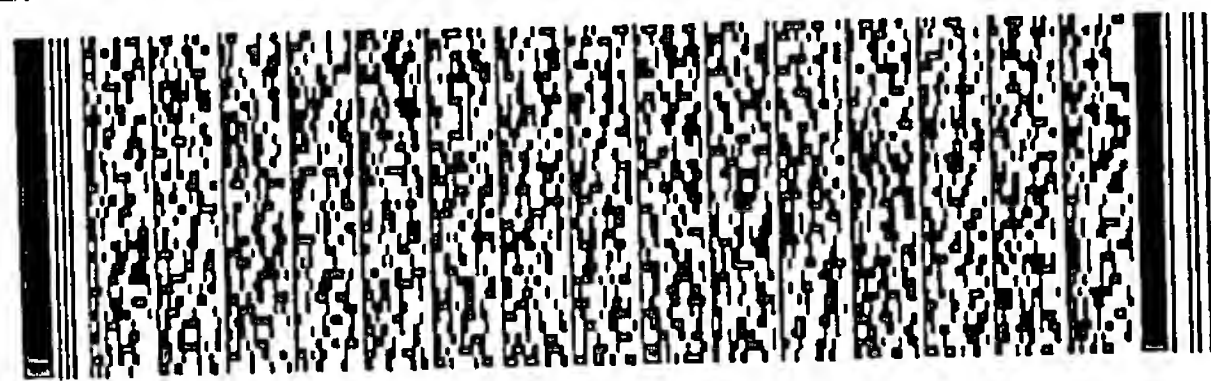
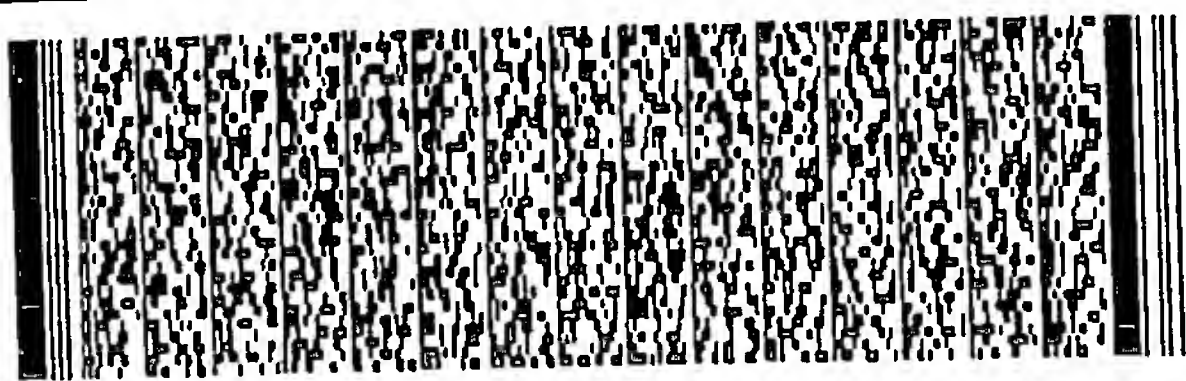
## 五、發明說明 (11)

三開口120處形成一電極材質層124，以使資料配線112以及第二鉅墊140電性連接，並在第一/第二鉅墊130、140表面上覆蓋一層電極材質層134、144，其中電極材質層134/144覆蓋住第一/第二罩幕層132/142以及電極材質層134/144的面積至少等於兩者重疊的面積。以第二罩幕層142以及電極材質層144為例，如第2B圖所示，第二罩幕層142與電極材質層144之間的距離" c "係大於等於0。

請再參照第2A圖，在上述步驟所形成之畫素電極122係覆蓋住部分資料配線112，藉以提高薄膜電晶體陣列之開口率。而且，畫素電極112更覆蓋住導電層152以及部分掃描配線101a，以構成一畫素儲存電容器。在此，畫素電極112以及導電層152係作為上電極，而位於其下方之掃描配線101a係作為下電極，而位於上電極與下電極之間之閘介電層則是電容介電層，其中畫素電極112與導電層152之間係藉由形成在低介電光阻層以及保護層中之一開口154而彼此電性連接。

在此之後，請參照第3H圖，本實施例更可以將未被低介電光阻層114以及電極材質層134、144覆蓋的第一/第二罩幕層132/142移除。

在本實施例中，由於第二鉅墊140係形成在保護層113之底下，而與第一鉅墊130同屬於第一金屬層，第二鉅墊140會與第一鉅墊130在相同的製程步驟中被暴露出來，因此可以解決習知技術會有第二鉅墊140容易遭到製程損害之問題。另外，由於第一/第二鉅墊130/140上還有第一/





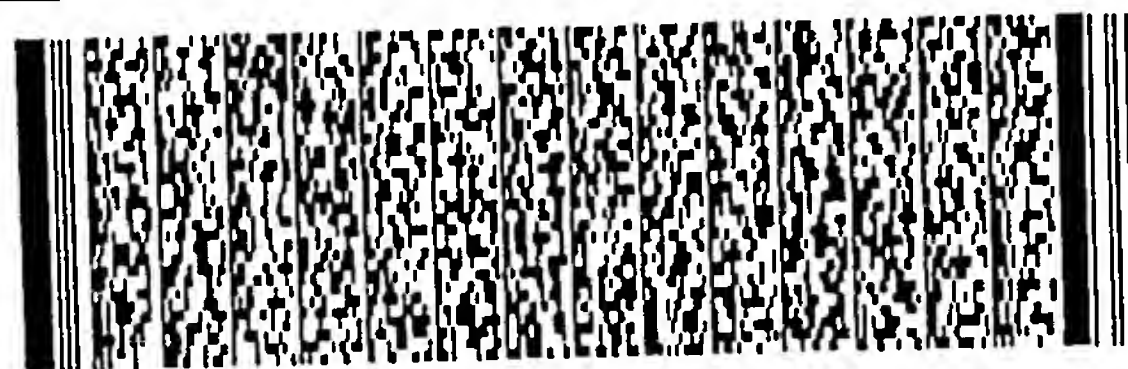
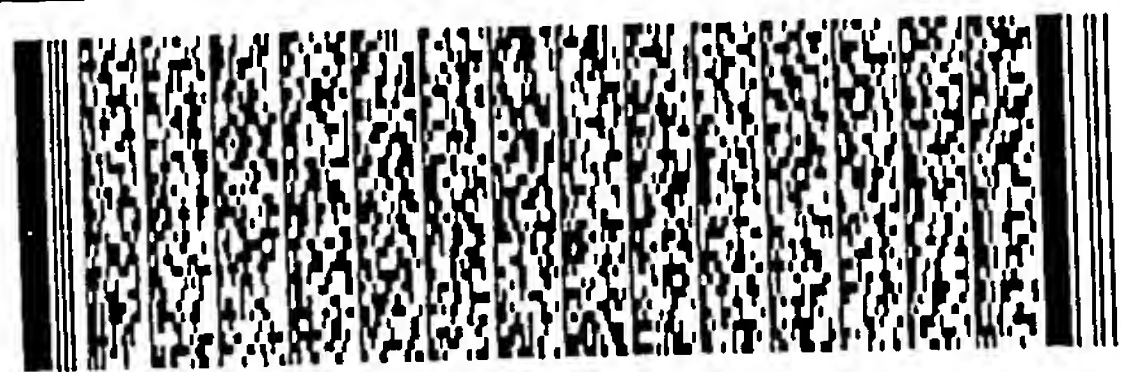
## 五、發明說明 (12)

第二罩幕層132/142的保護，因此保護層113以及低介電光阻層114可以同時圖案化，而且第一/第二鐳墊130/140不會受到製程之損害。

本實施例之薄膜電晶體陣列係由掃描配線101、第一鐳墊130、第二鐳墊140、閘介電層104、資料配線112、第一罩幕層132、第二罩幕層142、薄膜電晶體111、保護層113、低介電光阻層114、畫素電極122以及畫素儲存電容器150所構成，如第1A圖與第2E圖所示。

其中，掃描配線101係配置在基板100上。第一鐳墊130係配置在基板100表面之一邊緣處，其中第一鐳墊130係與掃描配線101連接。第二鐳墊140係配置在基板100表面之另一邊緣處。另外，閘介電層104係配置在基板100上，且閘介電層104係暴露出第一/第二鐳墊134/144的部分區域。而資料配線112係配置在閘介電層104上，其中資料配線112延伸至基板100之邊緣處係與第二鐳墊140電性連接，其係藉由開口118、120以及形成在開口118、120內電極材料層124而使兩者有電性連接之關係。

此外，第一罩幕層132係配置在第一鐳墊130上方之閘介電層104上，且第一罩幕層132係暴露出被閘介電層104裸露之第一鐳墊130。第二罩幕層142係配置在第二鐳墊140上方之閘介電層104上，且第二罩幕層142係暴露出被閘介電層104裸露之第二鐳墊140。其中第一/第二罩幕層132/142至少將第一/第二鐳墊130/140之邊緣覆蓋住。而第一/第二罩幕層132/142之材質是與源極/汲極110a/110b



## 五、發明說明 (13)

以及資料配線112相同之材質。

再者，薄膜電晶體111係配置在基板100上，其中薄膜電晶體111具有閘極102、源極/汲極110a/110b以及通道層106，且閘極102係與掃描配線101電性連接，源極110a係與資料配線112電性連接，通道層106係配置在閘極102上方之閘介電層104上。

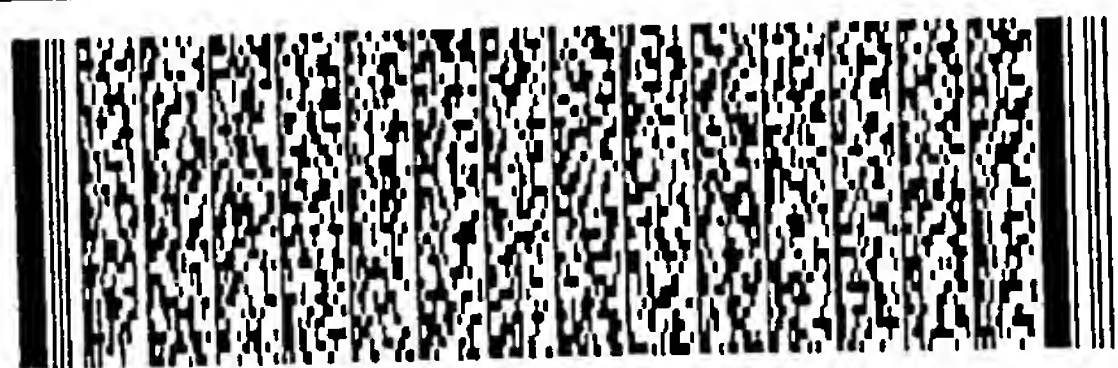
而保護層113以及低介電光阻層114係配置在基板100之上方，保護層113暴露出配置於基板100二邊緣處之第一/第二罩幕層132/142與第一/第二鐳墊130/140，而低介電光阻層114係暴露出整個基板100的二邊緣。畫素電極122係配置在低介電光阻層114上，且對應薄膜電晶體111配置，其中畫素電極122係藉由配置在低介電光阻層114以及保護層113中之接觸窗116而與汲極110b電性連接。

而畫素儲存電容器150係配置在與掃描配線101相鄰的另一條掃描配線101a之上方，其係由掃描配線101a作為下電極，以掃描配線101a上方之導電層152與畫素電極112(藉由接觸窗154而電性連接)作為上電極，以上電極與下電極之間之閘介電層104作為電容介電層。

### 第二實施例

本發明除了可以在定義第二金屬層時同時形成金屬材質之第一/第二罩幕層之外，本發明還可以在定義通道層以及歐姆接觸層時，同時定義出非晶矽材質之第一/第二罩幕層。

第4A圖所示，其繪示為依照本發明第二實施例之薄膜



#### 五、發明說明 (14)

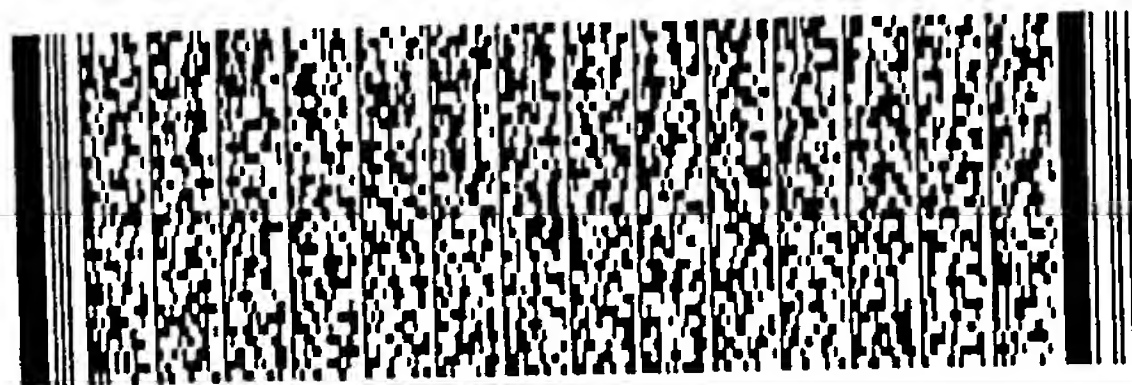
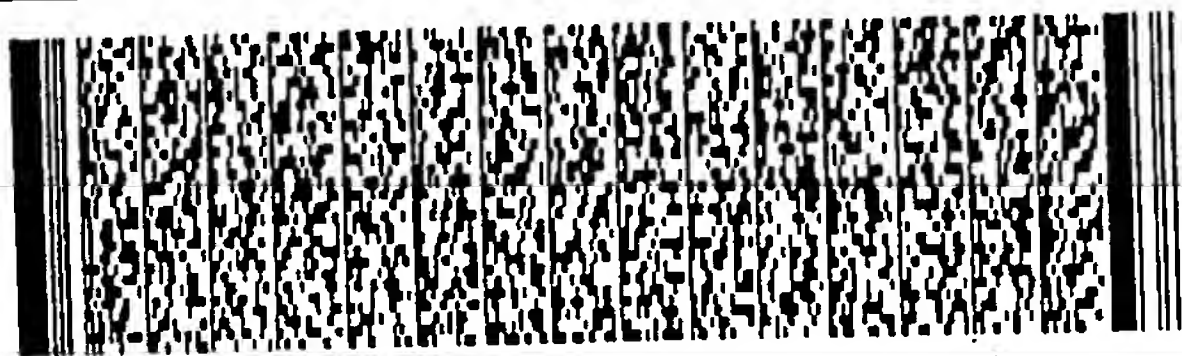
電晶體陣列的上視圖；第4B圖是第4A圖之局部分解示意圖；第6A圖至第6F圖所示，其繪示為係依照本發明第二實施例之薄膜電晶體陣列的製造流程剖面示意圖，其係為第4A圖中由II-II'的剖面示意圖。同樣的，在以下所述以及圖示中係以薄膜電晶體陣列之其中一畫素結構以及部分鐳墊來作詳細說明。

首先，請參照第4A圖與第6A圖，首先進行第一道光罩製程，以在基板100上定義出掃描配線101以及與掃描配線101連接之閘極102，並且在基板100之二邊緣處同時定義出第一鐳墊130以及第二鐳墊140，其中第一鐳墊130係與掃描配線101連接。而掃描配線101、閘極102、第一鐳墊130以及第二鐳墊140係為第一層金屬層。

接著，在基板100上形成一閘介電層104，覆蓋住掃描配線101、閘極102、第一鐳墊130以及第二鐳墊140。

之後，請參照第4A圖與第6B圖，進行第二道光罩製程，以在閘極102上方之閘介電層104上定義出通道層106以及歐姆接觸層108。在此同時，更在第一/第二鐳墊130/140上方之閘介電層104上更同時定義出第一/第二罩幕層232/242，其中第一/第二罩幕層232/242上亦會形成有歐姆接觸材質層（如第4B圖之標號242a）。

其中，第一/第二罩幕層232/242至少將第一/第二鐳墊130/140之邊緣覆蓋住。以第二鐳墊140與第二罩幕層242為例，如第4B圖所示，第二罩幕層242與第二鐳墊140之間的距離"a"以及距離"b"係大於等於0。



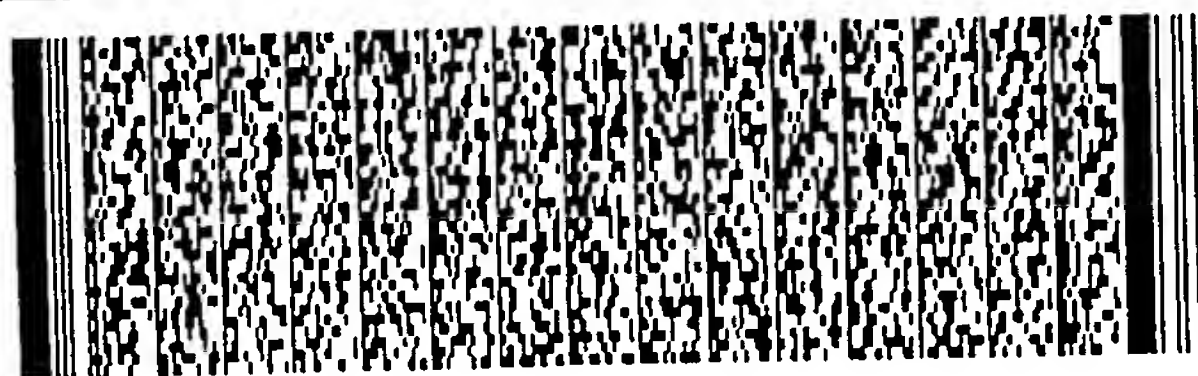
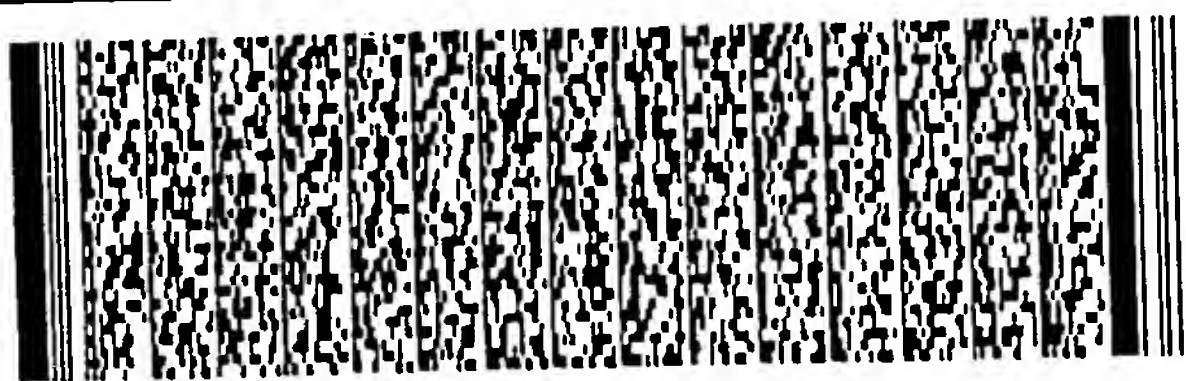


#### 五、發明說明 (15)

接續，請參照第4A圖與第6C圖，進行第三道光罩製程，以在歐姆接觸層108上形成源極110a/汲極110b，並同時形成與源極110a連接之資料配線112，其中資料配線112之一端係延伸至第二鐳墊140處。而閘極102、源極/汲極110a/110b以及通道層106係構成薄膜電晶體111。其中在形成源極/汲極110a/110b之過程中，會移除部分歐姆接觸層108甚至是通道層106的部分厚度，因此，此時於第一/第二罩幕層242上之歐姆接觸材質層(如第6B圖之標號242a)會一併被移除掉。此外，在此定義源極/汲極110a/110b與資料配線112同時，更於相鄰於掃描配線101之另一掃描配線101a上方之閘介電層104上形成導電層152，其後續係用來作為一畫素儲存電容器之上電極之用。在此，源極110a/汲極110b、資料配線112與導電層152係為第二層金屬層。

之後，請參照第6D圖，在形成第二金屬層之後，於基板100上形成一保護層113，覆蓋住第二金屬層(源極/汲極110a/110b、資料配線112與導電層152)。

隨後，請參照第4A圖以及第6E圖，進行第四道光罩製程，以在基板100之上方形形成一圖案化之低介電光阻層114，覆蓋住保護層113，暴露基板100之二邊緣處(即形成有第一/第二金屬鐳墊130/140之二邊緣處)，且低介電光阻層114中還形成有一第一開口116、一第二開口118以及一第三開口120，其中第一開口116係對應形成於汲極110b之上方，第二開口118係對應形成於基板100邊緣處資料配



#### 五、發明說明 (16)

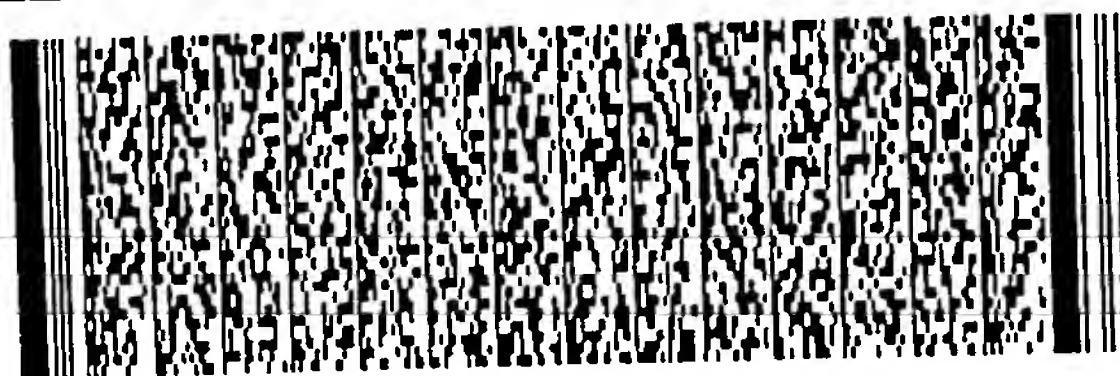
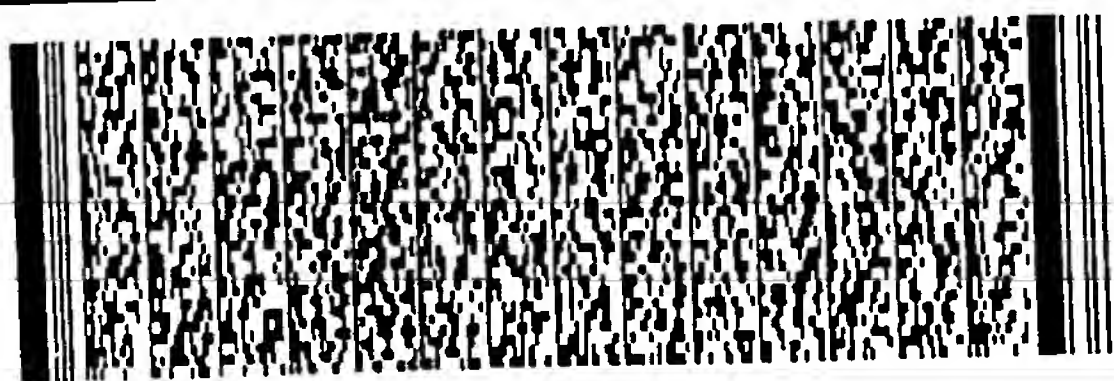
線112之上方，而第三開口120係對應形成於鄰近於資料配線112之第二鐳墊140的上方。

之後，請參照第4A圖與第6E圖，以低介電光阻層114作為一蝕刻罩幕，移除未被低介電光阻層114覆蓋之保護層113以及間介電層104，以使部分汲極110b、位於基板100邊緣處的部分資料配線112以及鄰近於資料配線112處之部分第二鐳墊140暴露出來。而且在此蝕刻步驟中，位在基板100二邊緣之第一/第二罩幕層232/242亦同時作為蝕刻罩幕，而使此蝕刻步驟將基板100二邊緣處未被第一/第二罩幕層232/242覆蓋之間介電層104移除，而使第一/第二鐳墊130/140暴露出來。

隨後，請參照第4A圖與第6G圖，進行第五道光罩製程，以在低介電光阻層114上形成一畫素電極122，其中畫素電極122係藉由第一開口116而與汲極110b電性連接。在形成畫素電極122的同時，更在第二開口118以及第三開口120處形成一電極材質層124以使資料配線112以及第二鐳墊140電性連接，並在第一/第二鐳墊130、140之表面上覆蓋一層電極材質層134、144。

同樣的，在上述步驟所形成之畫素電極112會覆蓋住導電層152以及部分掃描配線101a，以構成一畫素儲存電容器150。

然而，若於上述第6E圖之蝕刻步驟中所使用之蝕刻物對於非晶矽以及介電層之選擇性不夠大時，此蝕刻步驟可能也會將未被低介電光阻層114覆蓋住之第一/第二罩幕層



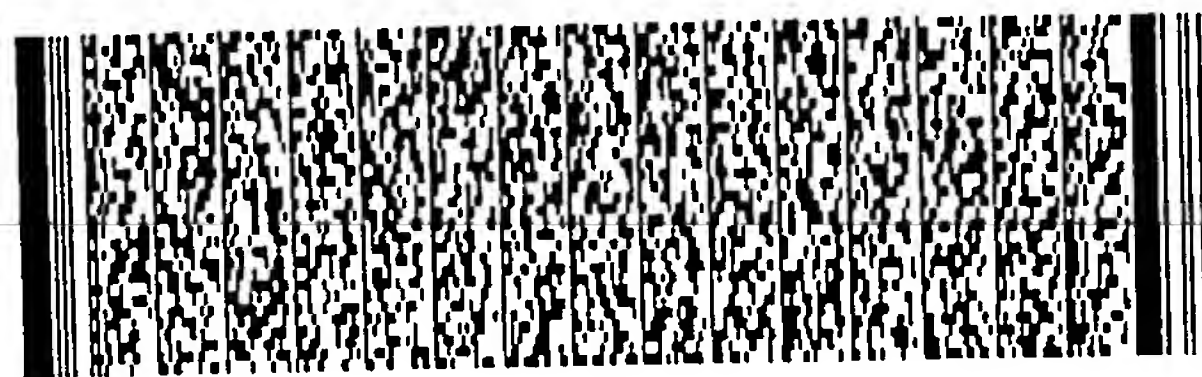
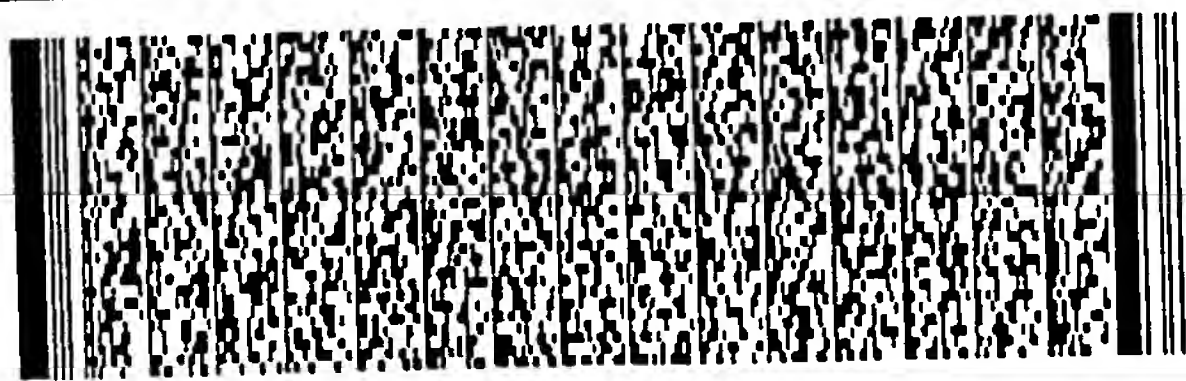


## 五、發明說明 (17)

232/242 移除，甚至使得位於第一/第二罩幕層232/242底下之閘介電層104之部分厚度也一併被移除，如第6H圖所示。即使如此，因非晶矽以及介電材料之間仍具有一定的蝕刻選擇性，因此在此蝕刻步驟之後，閘介電層104會保留下部分厚度，後續再繼續第五道光罩製程，以形成畫素電極122以及電極材質層124、134、144，如第6I圖所示。因此，非晶矽材質層第一/第二罩幕層232/242之抗蝕刻力雖不如金屬材質，但其與介電材料之間之蝕刻選擇性仍足以保護第一/第二鐳墊130、140表面不會受到製程之損害。

由於非晶矽材質之透光度較金屬材質高許多，因此利用非晶矽材質作為第一/第二罩幕層除了如上所述將第一/第二罩幕層定義成似環狀(如第4A圖所示)之圖案外，還可以在基板100二邊緣未覆蓋有低介電光阻層144之處都覆蓋上非晶矽層，而僅暴露出對應形成有第一/第二鐳墊130/140之處，如第5圖所示。

請參照第5圖，第5圖中由II-II'之剖面圖如第6A圖至第6I圖所示。第5圖之製程與第4A圖唯一不同之處在於進行第二道光罩製程時，其光罩圖案的設計略有不同，即第二道光罩製程除了定義出通道層106以及歐姆接觸層108之外，還同時在基板100之二邊緣處定義出第一/第二罩幕層332/342，其中第一/第二罩幕層332/342係分別為矩形圖案而覆蓋在基板100二邊緣預定不會覆蓋有低介電光阻層114之處，且第一/第二罩幕層332/342中具有開口



#### 五、發明說明 (18)

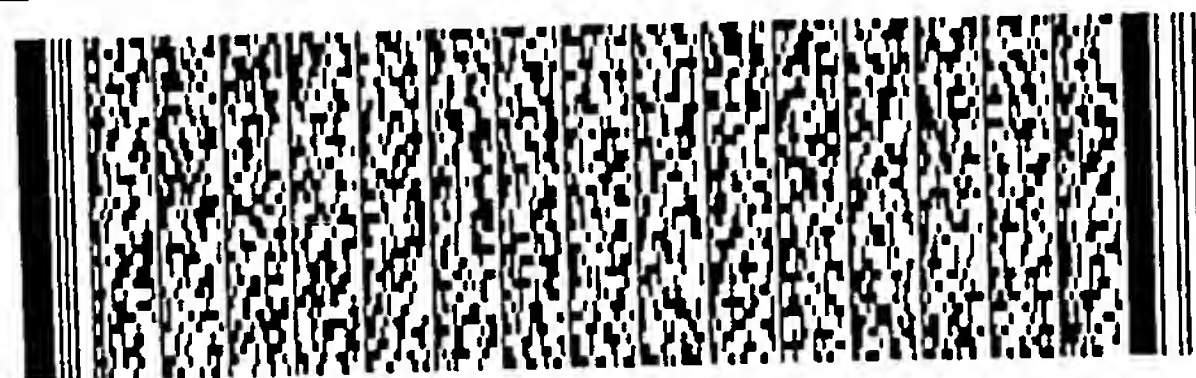
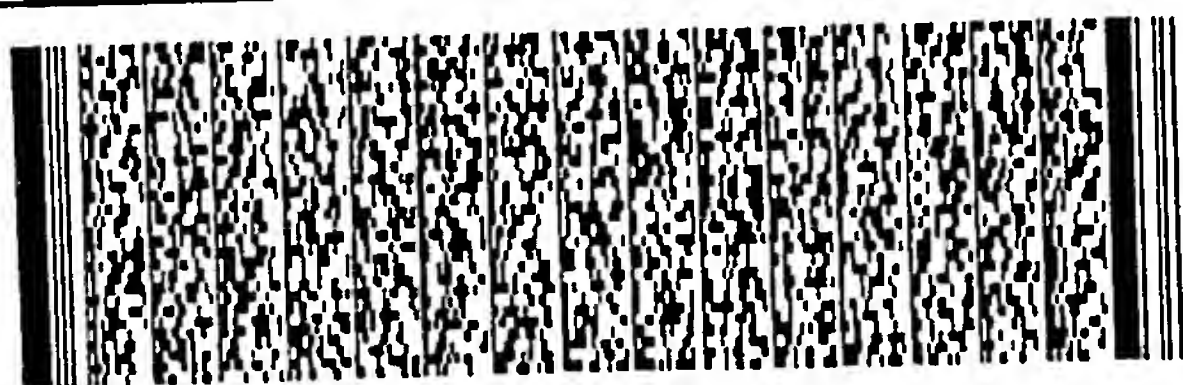
332a/342a，其係暴露出對應形成有第一/第二鐳墊130/140之處。

在第5圖之實例中，除了第二道光罩製程與第4A圖不相同之外，其餘的四道光罩製程都是相同的。

在第二實施例中，除了將第一/第二罩幕層製作成環狀(如第4A圖所示)，或是製作成矩形圖案而覆蓋在基板二邊緣預定不會覆蓋有低介電光阻層之處(如第5圖所示)之外，還可以製作成整面的通道與歐姆接觸材質之罩幕層，其中在鐳墊處是挖空的，如第7圖所示。在第7圖中，標號600表示通道與歐姆接觸材質層，且通道與歐姆接觸材質層600中具有開口600a、600b，其係暴露出鐳墊140以及鐳墊130。因此，此時在薄膜電晶體111中的通道區106中並無通道圖案，而是位於源極/汲極110a/110b之間的通道與歐姆接觸材質層600即作為通道區106。

另外，當以整面的通道與歐姆接觸材質之罩幕層600作為上述之第一/第二罩幕層時，在最後鐳墊的蝕刻製程之後，對應於罩幕層600之開口600a、600b處的氮化矽材質之閘介電層將會被蝕刻完，而暴露出鐳墊130、140，且同樣的，在在鐳墊130、140上方被罩幕層600覆蓋之處的閘介電層厚度會較薄。

因此，利用第二實施例之方法所製程之薄膜電晶體陣列，其結構與第一實施例相似，唯一之差別僅在於第一/第二罩幕層232/242之材質係使用非晶矽材質，另外一實例之第一/第二罩幕層332/342除了是採用非晶矽材質之



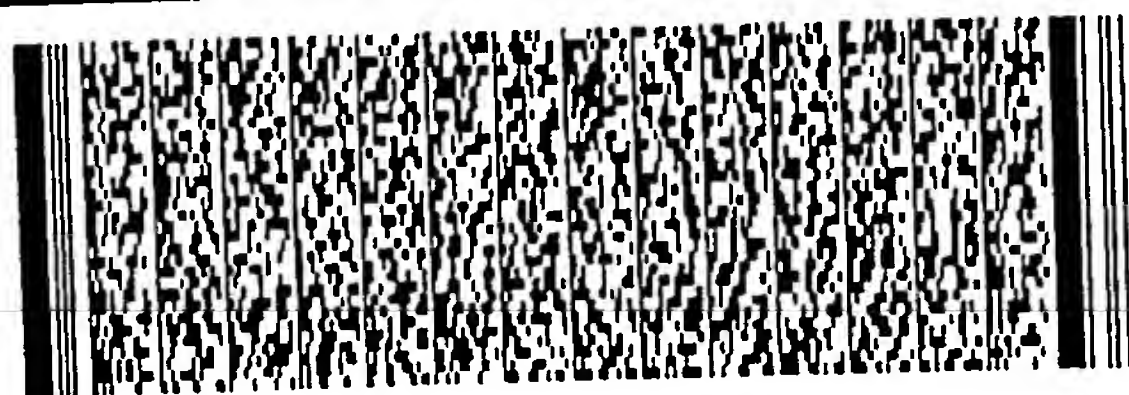
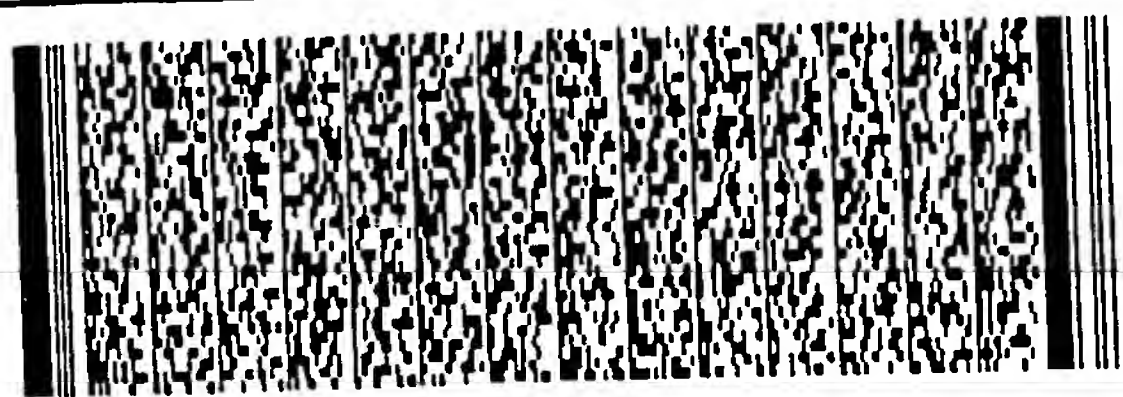
#### 五、發明說明 (19)

外，其佈置的方式是覆蓋住基板100二邊緣未覆蓋有低介電光阻層144之處。而另一實例之罩幕層600除了是採用非晶矽材質之外，其佈置的方式是覆蓋住整個基板100，而僅暴露出對應形成有第一/第二鐳墊130/140之處。

而且倘若本實施例之第一/第二罩幕層232/242(或332/342或600)在蝕刻製程中會被移除，而使位於其底下之閘介電層104之部分厚度被一併移除時，所形成之結構將與上述之結構有所不同，其結構如下所述。

此薄膜電晶體陣列係由掃描配線101、第一鐳墊130、第二鐳墊140、閘介電層104、資料配線112、薄膜電晶體111、保護層113、低介電光阻層114、畫素電極122以及畫素儲存電容器150。

其中，掃描配線101係配置在基板100上。第一鐳墊130係配置在基板100之一邊緣，其中第一鐳墊130係與掃描配線101連接。第二鐳墊140係配置在基板100之另一邊緣。另外，閘介電層104係配置在基板100上，其中閘介電層104係暴露出第一/第二鐳墊130/140之部分區域，且覆蓋第一/第二鐳墊130/140邊緣，而將第一/第二鐳墊130/140邊緣覆蓋住之閘介電層104，其厚度係小於位於畫素中之閘介電層104的厚度。再者，資料配線112係配置在閘介電層104上，其中資料配線112延伸至基板100之邊緣處係與第二鐳墊140電性連接，其係藉由開口118、120以及形成在開口118、120內電極材料層124而使兩者有電性連接之關係。





## 五、發明說明 (20)

而薄膜電晶體111係配置在基板上，其中薄膜電晶體111具有閘極102、源極/汲極101a/101b以及通道層106，閘極102係與掃描配線101電性連接，源極101a係與資料配線112電性連接，通道層106係配置在閘極102上方之閘介電層上104。此外，保護層113係配置在基板100上方，低介電光阻層114係配置在保護層113上，低介電光阻層114係暴露出配置在基板100二邊緣處(配置有第一/第二鐳墊130/140之二邊緣)。而畫素電極122係配置在低介電光阻層114上，且對應薄膜電晶體111配置，其中畫素電極122係與汲極101b電性連接。而畫素儲存電容器150係配置在與掃描配線101相鄰的另一條掃描配線101a之上方。

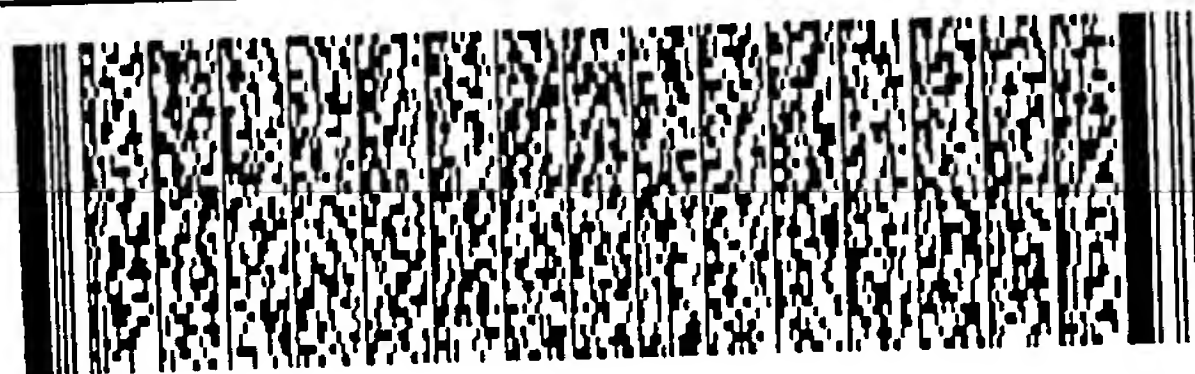
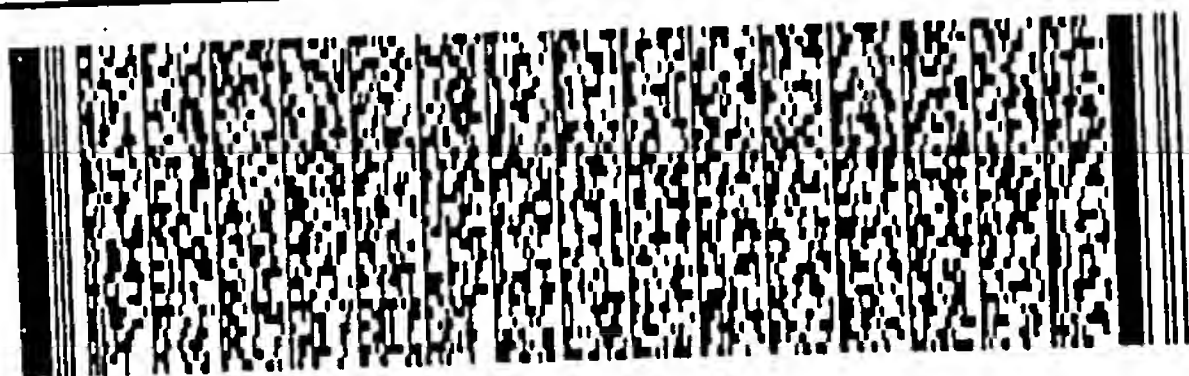
### 第三實施例

本發明除了利用第二金屬層或是通道材質層(非晶矽層)作為第一/第二罩幕層之外，還可以合併使用第二金屬層以及非晶矽層兩膜層來構成第一/第二罩幕層，換言之，在進行第二光罩製程以及第三光罩製程時，都同時定義出第一/第二罩幕層之圖案，其詳細說明如下。

第8A圖至第8G圖所示，其繪示為係依照本發明第三實施例之薄膜電晶體陣列的製造流程剖面示意圖。

第三實施例係為第一實施例以及第二實施例的結合，也就是第一/第二罩幕層係為兩層結構，其上層142之材質是與源極/汲極110a/110b以及資料配線112相同之材質，其下層242是與通道層106相同之材質。

在第8A圖至第8G圖中，其與前述兩實施例相同的部分



#### 五、發明說明 (21)

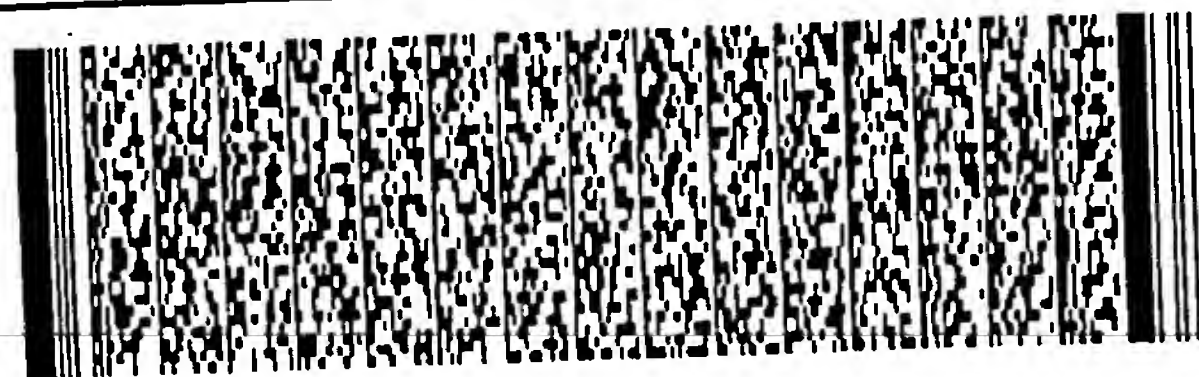
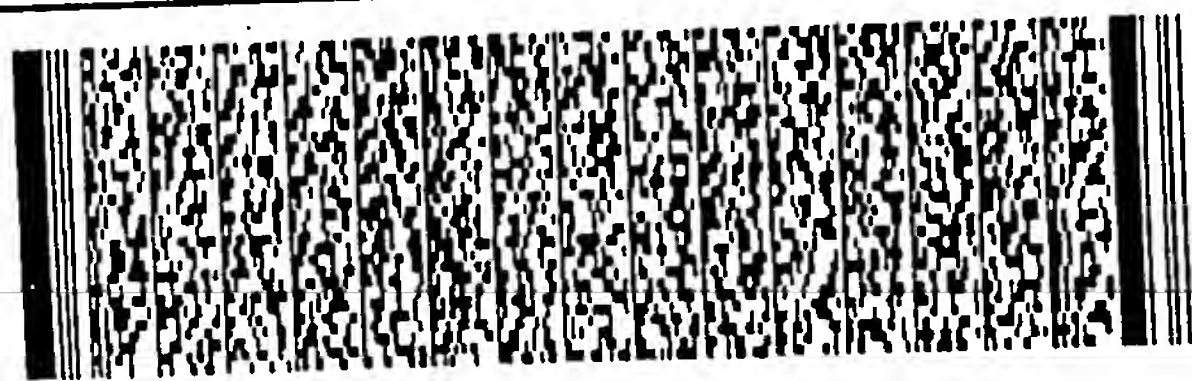
係以相同的標號標示，且由第8A圖至第8G圖的製造流程都與上述兩實施例之方法相同，不同之處是在定義通道層106時，同時在第一/第二鋁墊130/140上方之閘介電層104上定義出第一/第二罩幕層之下層結構242，如第8B圖所示。而在定義第二層金屬層(源極/汲極110a/110b、資料配線112以及導電層152)時，同時定義出第一/第二罩幕層之上層結構142，如第8C圖所示。

而後續保護層113、低介電光阻層114以及畫素電極112等膜層之製作都與先前兩實施例所述之步驟相同，在此不再贅述。

然而，特別值得一提的是，在第三實施例中，利用第二金屬層以及非晶矽層之搭配而構成的第一/第二罩幕層可以做多種組合，例如其上層第二金屬層之寬度小於下層非晶矽層之寬度，或是其上層第二金屬層之寬度大於下層非晶矽層之寬度，只要是上層第二金屬層或下層非晶矽層其中有一層至少會覆蓋住第一/第二鋁墊之邊緣即可。

除此之外，上述之組合還可以在部分的第一/第二鋁墊上方配置第二金屬層材質之罩幕層，而在其他部分的第一/第二鋁墊上配置非晶矽材質之罩幕層。或者是，在每一鋁墊上方所配置的罩幕層，一部份是由第二金屬層材質所構成，而另一部份是由非晶矽層所構成，只要是兩者共同或分別所構成之罩幕層，至少會覆蓋住第一/第二鋁墊邊緣即可。

本發明之薄膜電晶體陣列基板的製造方法亦適用於在



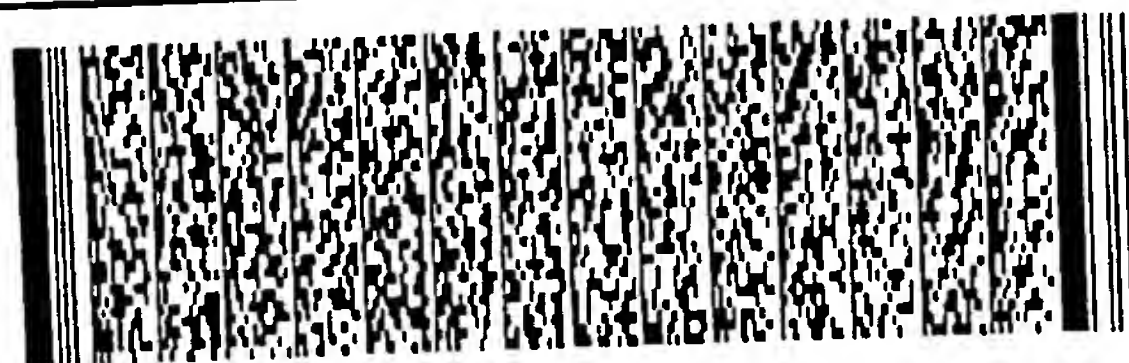
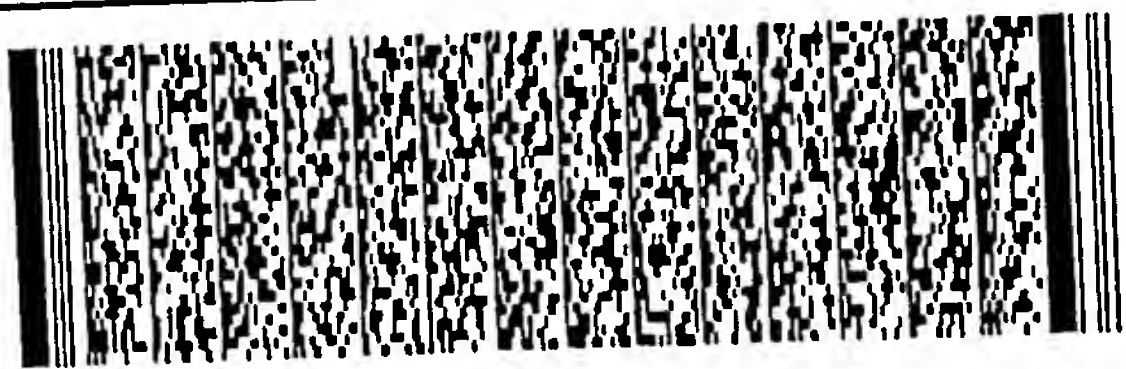


## 五、發明說明 (22)

通道層上具有蝕刻終止層之製程中，其詳細說明如下。

請參照第9圖，於形成閘介電層104之後，於閘介電層104上形成一通道層106、一蝕刻終止層800以及歐姆接觸層108之後，再定義出形成第二金屬層(包括源極110a、汲極110b以及資料配線112)，其中於定義第二金屬層時的蝕刻步驟會終止於蝕刻終止層800上。而其他的製程步驟都與先前所述之步驟相同。在第9圖中所繪示的是如第一實施例所述之利用第二金屬層作為第一/第二罩幕層。當然，亦可以利用第二實施例所述之非晶矽材質作為第一/第二罩幕層，如第10圖所示。或是利用第二金屬層以及非晶矽材質兩層結構作為第一/第二罩幕層，如第11圖所示。換言之，在本發明之具有蝕刻終止層之薄膜電晶體製程中，其第一/第二罩幕層之選擇及組合方式可以利用上述三實施例之任一種。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知薄膜電晶體陣列之上視示意圖；

第1A圖至第1E圖是薄膜電晶體陣列基板之製造流程剖面示意圖，其係由第1圖由I-I'之剖面示意圖；

第2A圖是依照本發明一第一實施例之薄膜電晶體陣列之上視示意圖；

第2B圖是第2A圖之第二銲墊處的分解圖示；

第3A圖至第3H圖是依照本發明第一實施例之薄膜電晶體陣列之製造流程剖面示意圖，其係由第2A圖由II-II'之剖面示意圖；

第4A圖是依照本發明一第二實施例之薄膜電晶體陣列之上視示意圖；

第4B圖是第4A圖之銲墊處的分解圖示；

第5圖是依照本發明一第二實施例之另一薄膜電晶體陣列之上視示意圖；

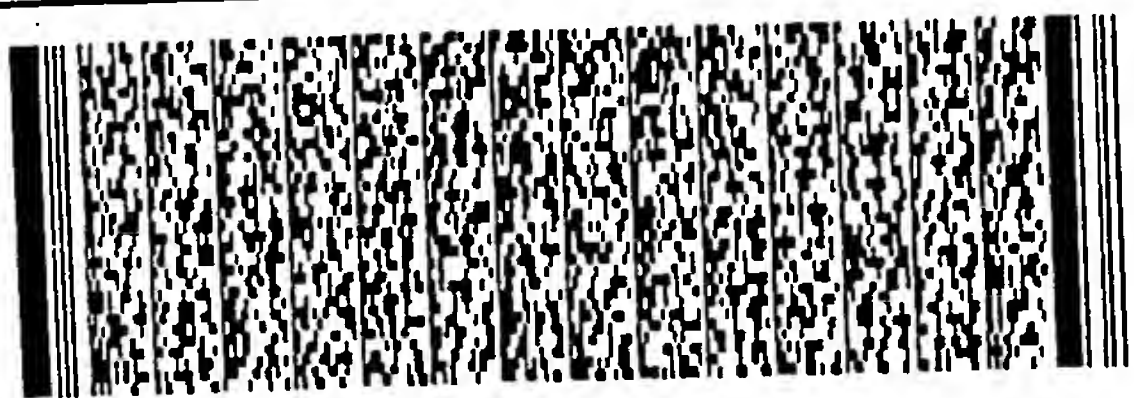
第6A圖至第6I圖是依照本發明第二實施例之薄膜電晶體陣列之製造流程剖面示意圖，其係為第4A圖以及第5圖中由II-II'之剖面示意圖；

第7圖是依照本發明一第二實施例之另一薄膜電晶體陣列之上視示意圖；

第8A圖至第8G圖是依照本發明一第三實施例之薄膜電晶體陣列之製造流程剖面示意圖；以及

第9圖是具有蝕刻終止層之薄膜電晶體陣列的剖面示意圖；

第10圖是另一種具有蝕刻終止層之薄膜電晶體陣列的



## 圖式簡單說明

剖面示意圖；以及

第11圖是另一種具有蝕刻終止層之薄膜電晶體陣列的剖面示意圖。

### 【圖式之標示說明】

100：基板

101、101a：掃描配線

102：閘極

104：閘介電層

106：通道層

108、242a：歐姆接觸層

110a/110b：源極/汲極

111：薄膜電晶體

112：資料配線

113：保護層

114：低介電光阻層

116、118、120、154：開口(接觸窗)

130、140：鐳墊

132、142、232、242、332、342、600：罩幕層

122：畫素電極

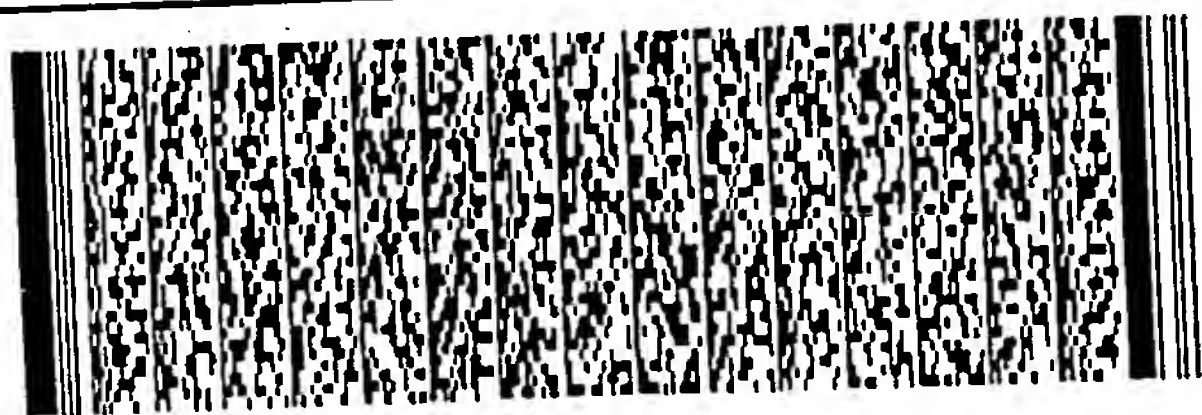
124、134、144：電極材料層

150：畫素儲存電容器

152：導電層

332a、342a、600a、600b：開口

a、b、c：距離



## 六、申請專利範圍

1. 一種薄膜電晶體陣列基板的製造方法，包括：

在一基板上形成複數條掃描配線以及與該些掃描配線電性連接之複數個閘極，且同時在該基板之二邊緣處分別定義出複數個第一鐳墊以及複數個第二鐳墊，其中該些第一鐳墊係與該些掃描配線電性連接；

在該基板上形成一閘介電層，覆蓋住該些掃描配線、該些閘極、該些第一鐳墊以及該些第二鐳墊；

在每一該些閘極上方之該閘介電層上形成一通道層；

在每一該些通道層上形成一歐姆接觸層；

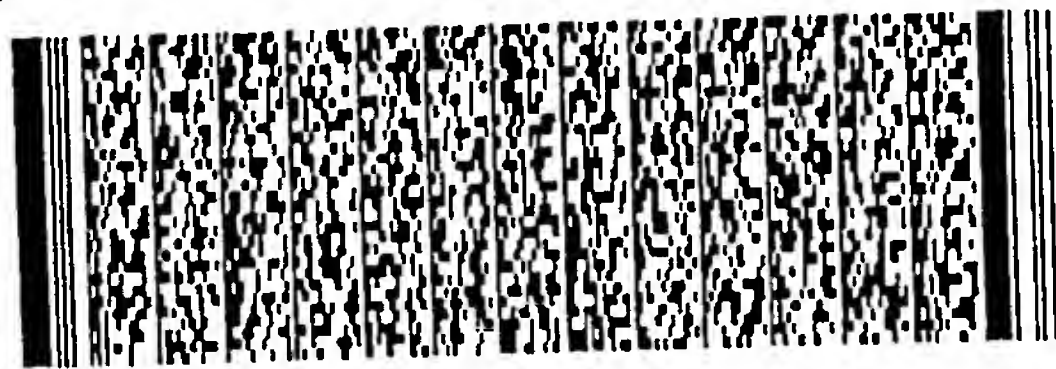
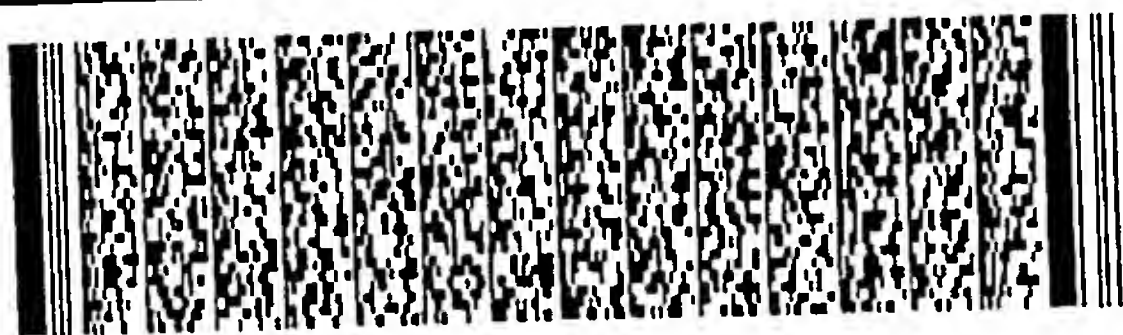
在每一該些歐姆接觸層上形成一源極/汲極，並且在該閘介電層上形成與每一該些源極電性連接之一資料配線，其中每一該些資料配線之一端係延伸至每一該些第二鐳墊處，而該些閘極、該些通道層以及該些源極/汲極係構成複數個薄膜電晶體；

在每一該些第一/第二鐳墊上方之該閘介電層上分別形成一第一/第二罩幕層，該第一/第二罩幕層係暴露出對應形成有該些第一/第二鐳墊處之該閘介電層；

在該基板之上方形形成一保護層；

在該保護層上形成一圖案化光阻層，該光阻層未覆蓋住該基板之該二邊緣處，且該光阻層具有複數個第一開口、複數個第二開口以及複數個第三開口，其中該些第一開口係暴露出該些汲極，該些第二開口係暴露出該些資料配線，該些第三開口係暴露出該些第二鐳墊；

以該光阻層為一蝕刻罩幕進行一蝕刻製程，以移除未





## 六、申請專利範圍

被該光阻層覆蓋之該保護層以及該閘介電層，並且使未被該第一/第二罩幕層覆蓋之該些第一/第二銲墊暴露出來；以及

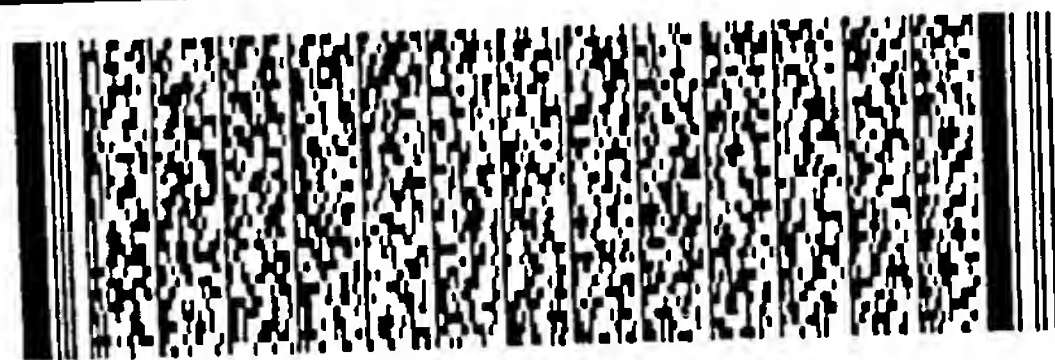
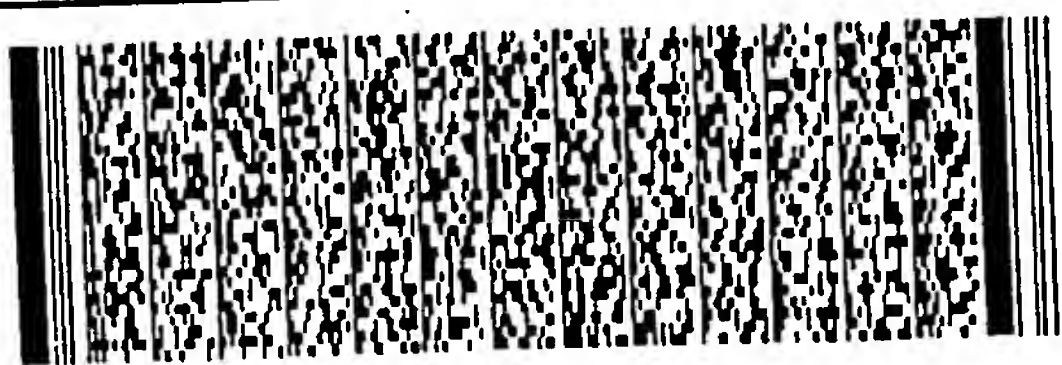
在該光阻層上形成複數個畫素電極，且在該些第二/第三開口內以及暴露的該些第一/第二銲墊上形成一電極材料層，其中該些汲極與該些畫素電極係藉由該些第一開口而電性連接，該些資料配線與該些第二銲墊係藉由該些第二/第三開口以及該電極材料層而電性連接。

2. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中該第一/第二罩幕層係於形成該些源極/汲極以及該些資料配線時所同時定義出的，或是於形成該些通道層以及該些歐姆接觸層時所同時定義出的，或是上述兩者之組合。

3. 如申請專利範圍第2項所述之薄膜電晶體陣列基板的製造方法，其中該第一/第二罩幕層係為環狀圖案，而覆蓋住該些第一/第二銲墊之周圍。

4. 如申請專利範圍第2項所述之薄膜電晶體陣列基板的製造方法，其中第一/第二罩幕層是於形成該些通道層以及該歐姆接觸層時所同時定義出的，且該第一/第二罩幕層係為具有複數個開口之矩形塊狀圖案，覆蓋在未形成有該光阻層之該基板二邊緣處，且該些開口係暴露出對應形成有該些第一/第二銲墊處之該閘介電層。

5. 如申請專利範圍第2項所述之薄膜電晶體陣列基板的製造方法，其中該第一/第二罩幕層是於形成該些通道



## 六、申請專利範圍

層以及該歐姆接觸層時所同時定義出的，且該第一/第二罩幕層係為具有複數個開口之一整面罩幕層，覆蓋在整個該基板之上方，且該些開口係暴露出對應形成有該些第一/第二鐳墊處之該閘介電層。

6. 如申請專利範圍第2項所述之薄膜電晶體陣列基板的製造方法，其中該第一/第二罩幕層是於形成該些通道層以及該些歐姆接觸層時所同時定義出的，且在以該光阻層為蝕刻罩幕以移除未被光阻層覆蓋之該保護層以及該閘介電層之步驟中，更包括將該第一/第二罩幕層以及其底下之該閘介電層之部分厚度移除。

7. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中該第一/第二罩幕層係為二層結構，其上層係為於形成該些源極/汲極以及該些資料配線的同時所定義出的，而其下層係於形成該些通道層以及該些歐姆接觸層的同時所定義出的。

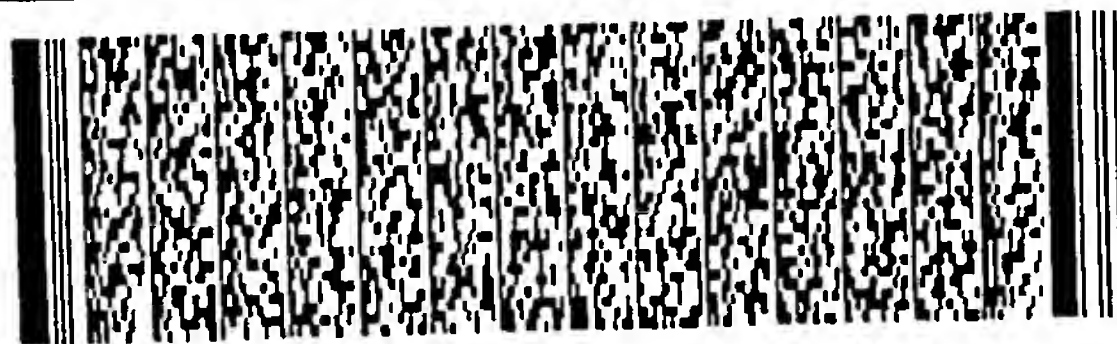
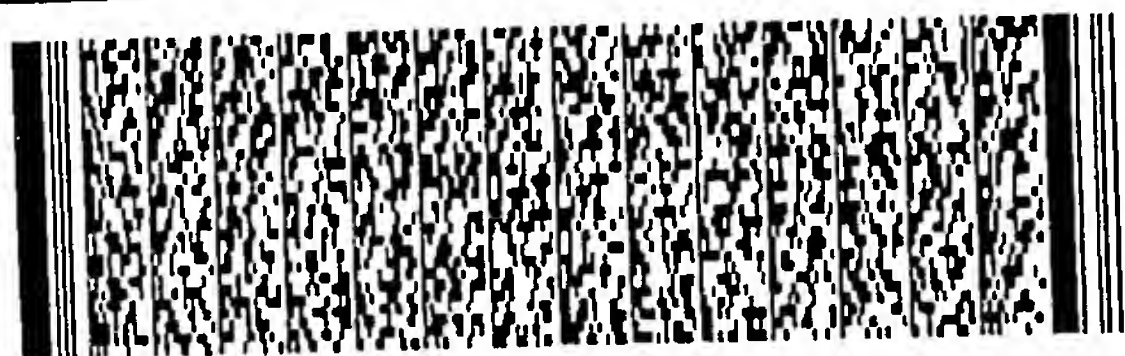
8. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中在形成該些歐姆接觸層之前，更在每一該些閘極上方之每一該些通道層上形成一蝕刻終止層。

9. 一種薄膜電晶體陣列基板，包括：

複數條掃描配線，配置在一基板上；

複數個第一鐳墊，配置在該基板表面之一邊緣處，其中該些第一鐳墊係與該些掃描配線電性連接；

複數個第二鐳墊，配置在該基板表面之另一邊緣處；  
一閘介電層，配置在該基板上，其中該閘介電層係暴



## 六、申請專利範圍

露出該些第一/第二鐳墊的部分區域；

複數條資料配線，配置在該閘介電層上，其中該些資料配線延伸至該基板之邊緣處係與該些第二鐳墊電性連接；

一第一單幕層，配置在該些第一鐳墊上方之該閘介電層上，其中該第一單幕層係覆蓋住該些第一鐳墊之周圍，且暴露出被裸露的該些第一鐳墊；

一第二單幕層，配置在該些第二鐳墊上方之該閘介電層上，其中該第二單幕層係覆蓋住該些第二鐳墊之周圍，且暴露出被裸露的該些第二鐳墊；

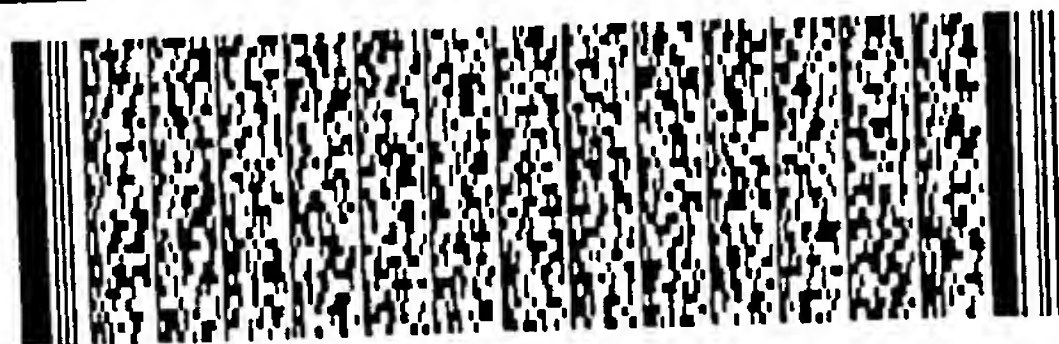
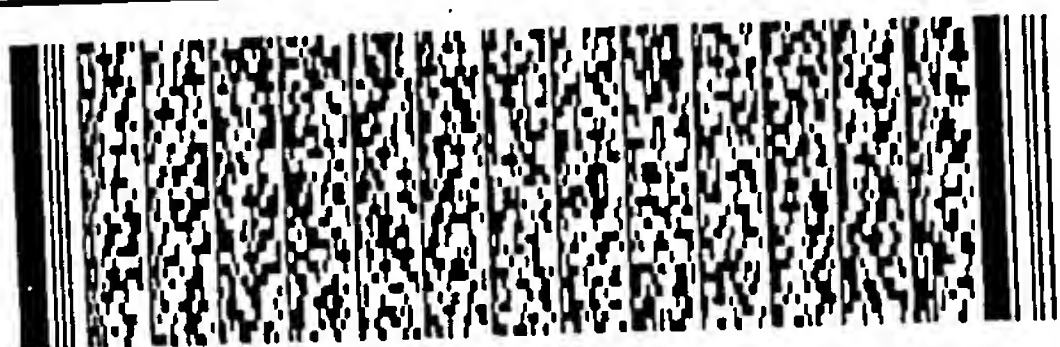
複數個薄膜電晶體，配置在該基板上，每一該些薄膜電晶體具有一閘極、一源極/汲極、一通道層以及一歐姆接觸層，且每一該些閘極係與每一該些掃描配線電性連接，每一該些源極係與每一該些資料配線電性連接，每一該些通道層係配置在每一該些閘極上方之該閘介電層上，每一該些歐姆接觸層係配置在每一該些通道層上；

一圖案化之保護層，覆蓋在該些薄膜電晶體以及該閘介電層上；

一圖案化之光阻層，配置在該保護層之上方，並暴露出該基板之該二邊緣處；以及

複數個畫素電極，配置在該光阻層上，且對應該些薄膜電晶體配置，其中每一該些畫素電極係與每一該些汲極電性連接。

10. 如申請專利範圍第9項所述之薄膜電晶體陣列基





#### 六、申請專利範圍

板，其中該第一/第二罩幕層之材質係選自與該些源極/汲極以及該些資料配線相同之材質、或是與該些通道以及該些歐姆接觸層相同之材質、或是兩者之組合。

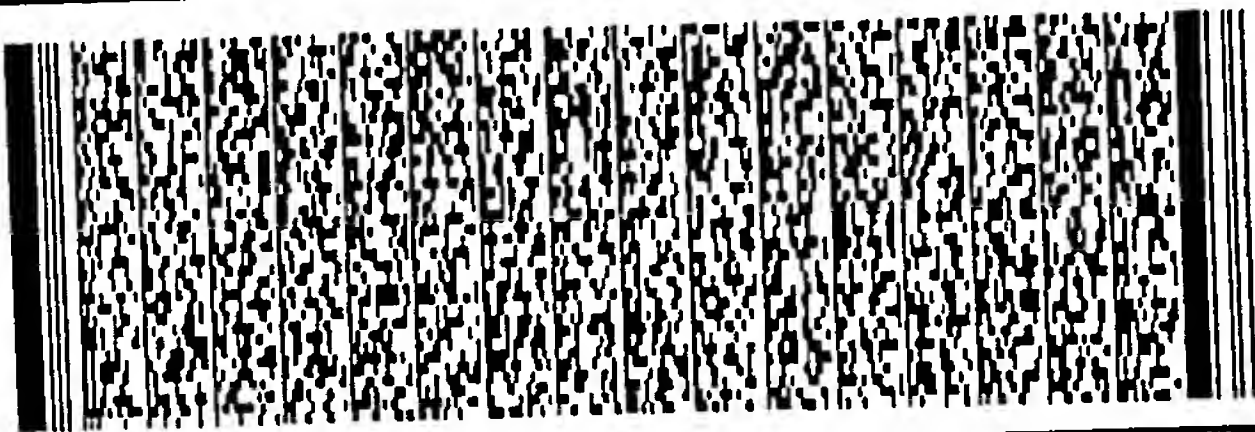
11. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，其中該第一/第二罩幕層係為二層結構，其上層之材質係與該些源極/汲極以及該些資料配線之材質相同，而其下層係與該些通道層以及該些歐姆接觸層之材質相同。

12. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，其中該第一/第二罩幕層係為環狀圖案，而覆蓋住該些第一/第二鐳墊之周圍。

13. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，其中該第一/第二罩幕層係與該些通道層以及該些歐姆接觸層之材質相同，且該第一/第二罩幕層係為具有複數個開口之矩形圖案，覆蓋在未配置有該光阻層之該基板二邊緣處，且該些開口係暴露出該些第一/第二鐳墊。

14. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，其中該第一/第二罩幕層係與該些通道層以及該歐姆接觸層之材質相同，且該些第一/第二罩幕層係為具有複數個開口之一整面罩幕層，覆蓋在整個該基板之上方，且該些開口係暴露出對應形成有該些第一/第二鐳墊處之該閘介電層。

15. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，其中在該光阻層中具有複數個第一開口，暴露出該些資料配線，在該光阻層與該閘介電層中具有複數個第二開





## 六、申請專利範圍

口，暴露出該些第二鐳墊，且每一該些第一開口與每一該些第二開口內係配置有一電極材質層，以使該些資料配線與該些第二鐳墊電性連接。

16. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，其中在每一該些閘極上方之每一該些通道層上更配置有一蝕刻終止層。

17. 一種薄膜電晶體陣列基板，包括：

複數條掃描配線，配置在一基板上；

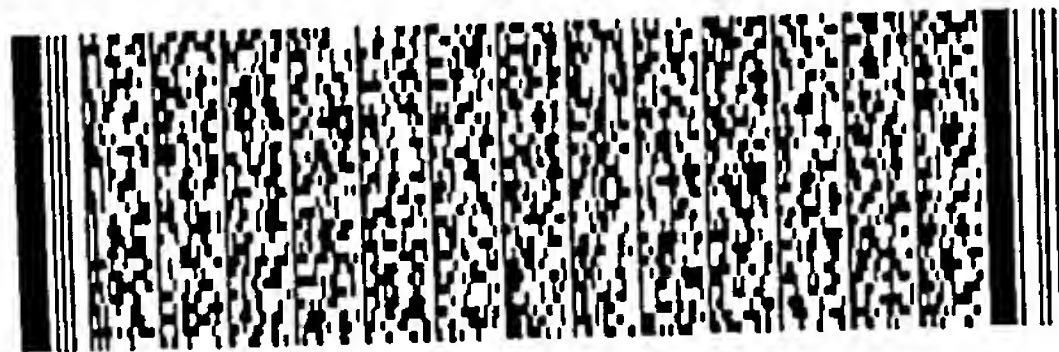
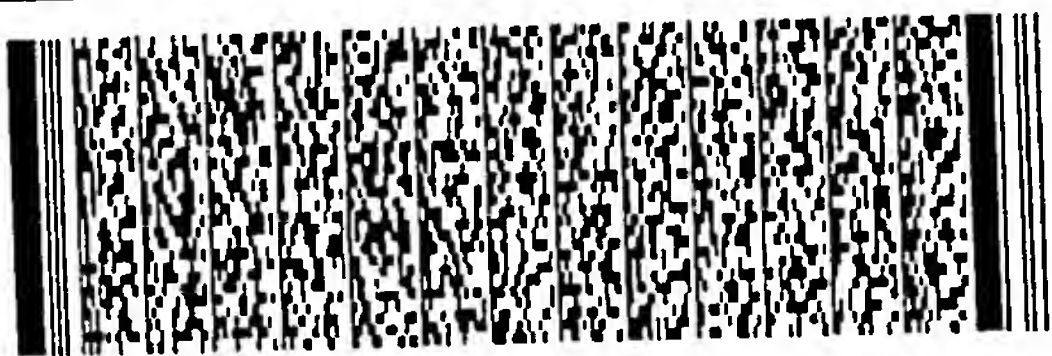
複數個第一鐳墊，配置在該基板表面之一邊緣，其中該些第一鐳墊係與該些掃描配線電性連接；

複數個第二鐳墊，配置在該基板表面之另一邊緣；

一閘介電層，配置在該基板上，其中該閘介電層係暴露出該些第一/第二鐳墊之部分區域，而且位於該些第一/第二鐳墊周圍並將該些第一/第二鐳墊周圍覆蓋住之該閘介電層的厚度係小於位於其他部分之該閘介電層的厚度；

複數條資料配線，配置在該閘介電層上，其中該些資料配線延伸至該基板之邊緣處係與該些第二鐳墊電性連接；

複數個薄膜電晶體，配置在該基板上，每一該些薄膜電晶體具有一閘極、一源極/汲極、一通道層以及一歐姆接觸層，每一該些閘極係與每一該些掃描配線電性連接，每一該些源極係與每一該些資料配線電性連接，每一該些通道層係配置在每一該些閘極上方之該閘介電層上，每一該些歐姆接觸層係配置在每一該些通道層上；



## 六、申請專利範圍

一 圖案化之保護層，覆蓋在該些薄膜電晶體以及該開介電層上；

一 圖案化之光阻層，配置在該保護層之上方，並暴露出該基板之該二邊緣處；以及

複數個畫素電極，配置在該光阻層上，且對應該些薄膜電晶體配置，其中每一該些畫素電極係與每一該些汲極電性連接。

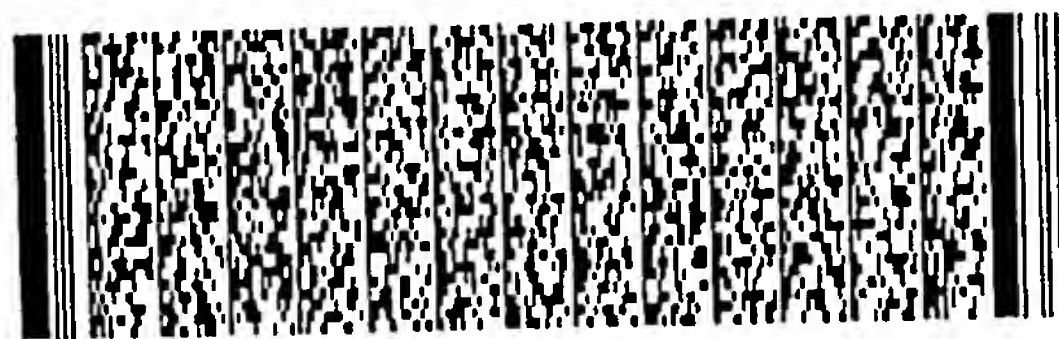
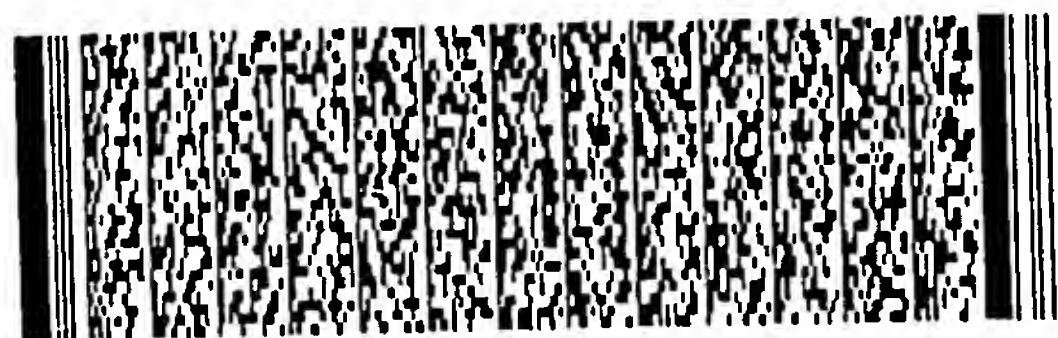
18. 如申請專利範圍第17項所述之薄膜電晶體陣列基板，更包括一第一罩幕層以及一第二罩幕層，且分別配置在該些第一/第二鉅墊鉅墊周圍之該開介電層上方，但未覆蓋住該些第一/第二鉅墊，其中該第一/第二罩幕層之材質係與該些通道層以及該歐姆接觸層相同之材質。

19. 如申請專利範圍第18項所述之薄膜電晶體陣列基板，其中該第一/第二罩幕層係為環狀圖案。

20. 如申請專利範圍第18項所述之薄膜電晶體陣列基板，其中該第一/第二罩幕層係為具有複數個開口之矩形圖案，覆蓋在未配置有該光阻層之該基板二邊緣處，且該些開口係暴露出該些第一/第二鉅墊。

21. 如申請專利範圍第18項所述之薄膜電晶體陣列基板，其中該第一/第二罩幕層係為具有複數個開口之一整面罩幕層，覆蓋在整個該基板之上方，且該些開口係暴露出對應形成有該些第一/第二鉅墊之處。

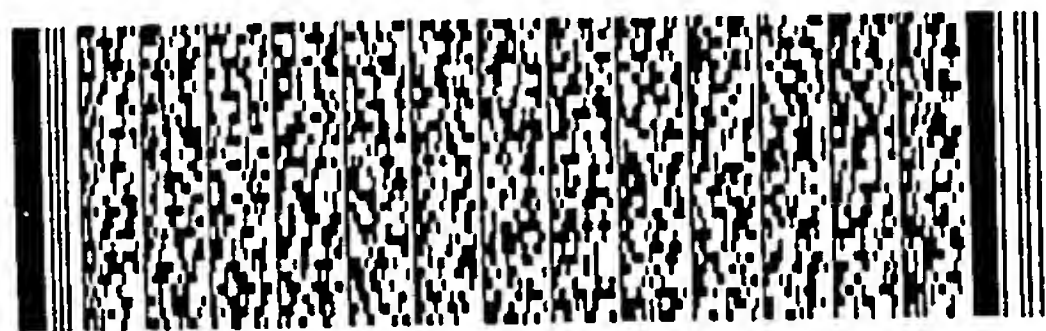
22. 如申請專利範圍第17項所述之薄膜電晶體陣列基板，其中在該光阻層中具有複數個第一開口，暴露出該些

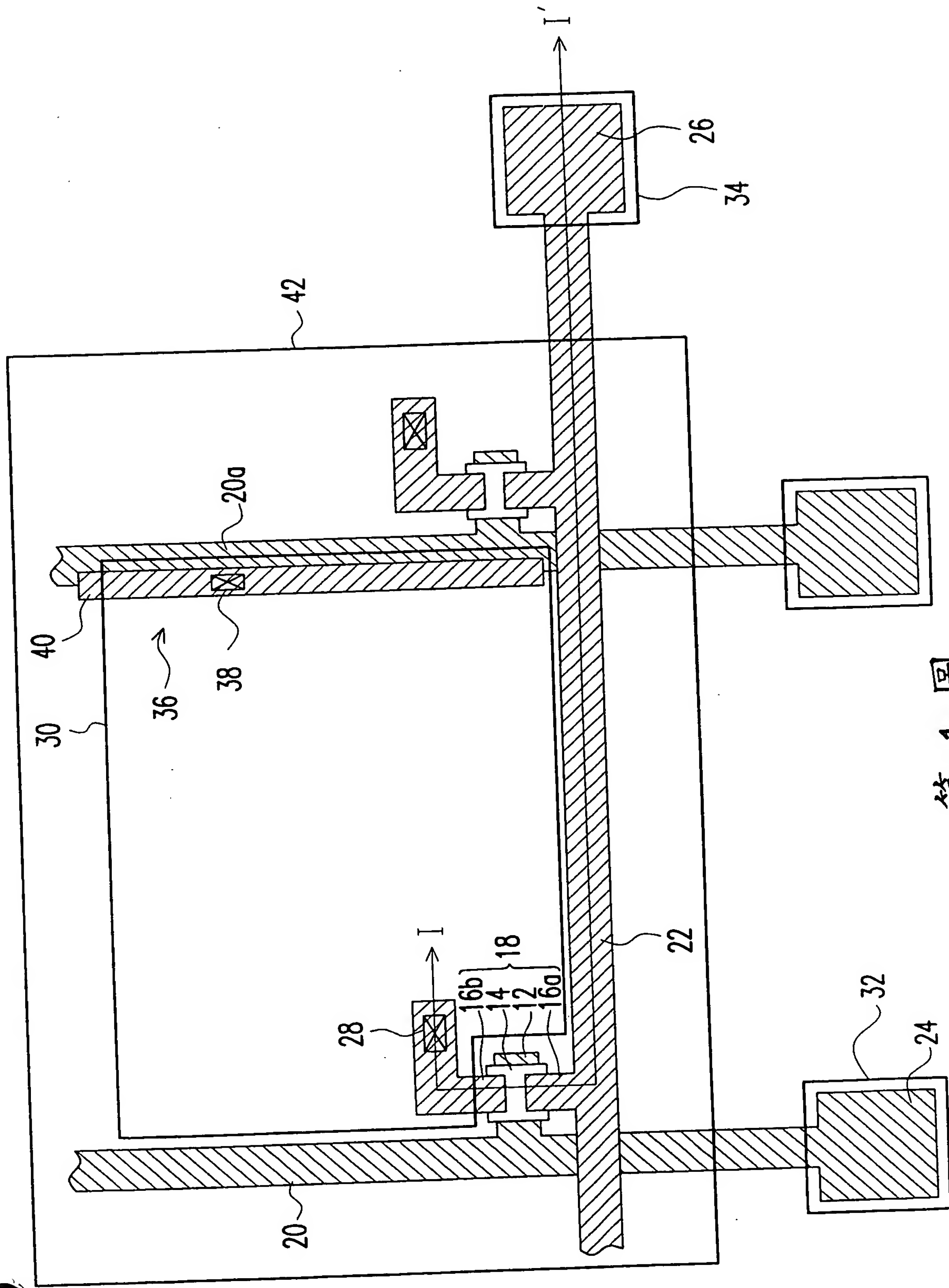


#### 六、申請專利範圍

資料配線，在該光阻層與該閘介電層中具有複數個第二開口，暴露出該些第二鐳墊，且每一該些第一開口與每一該些第二開口內係配置有一電極材質層，以使該些資料配線與該些第二鐳墊電性連接。

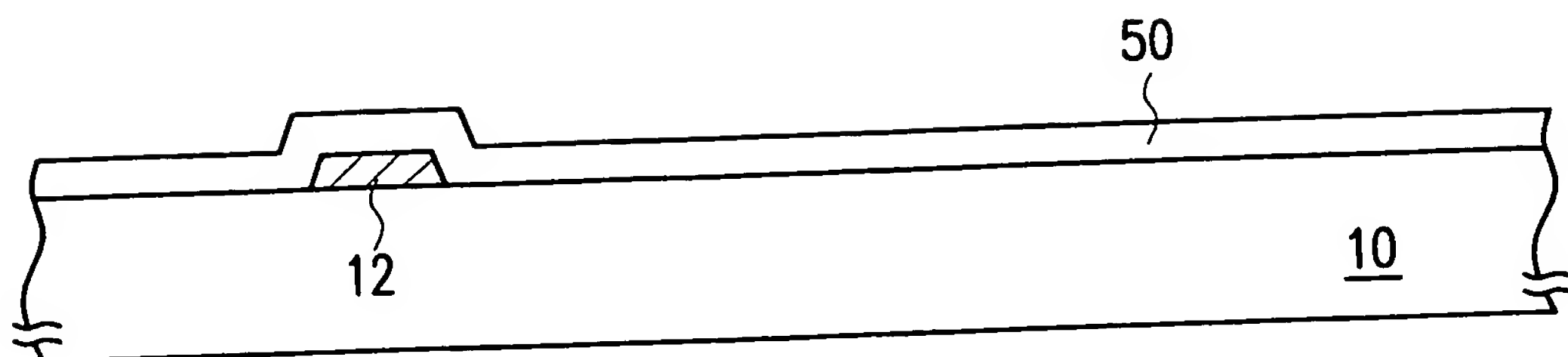
23. 如申請專利範圍第17項所述之薄膜電晶體陣列基板，其中在每一該些閘極上方之該通道層上更配置有一蝕刻終止層。



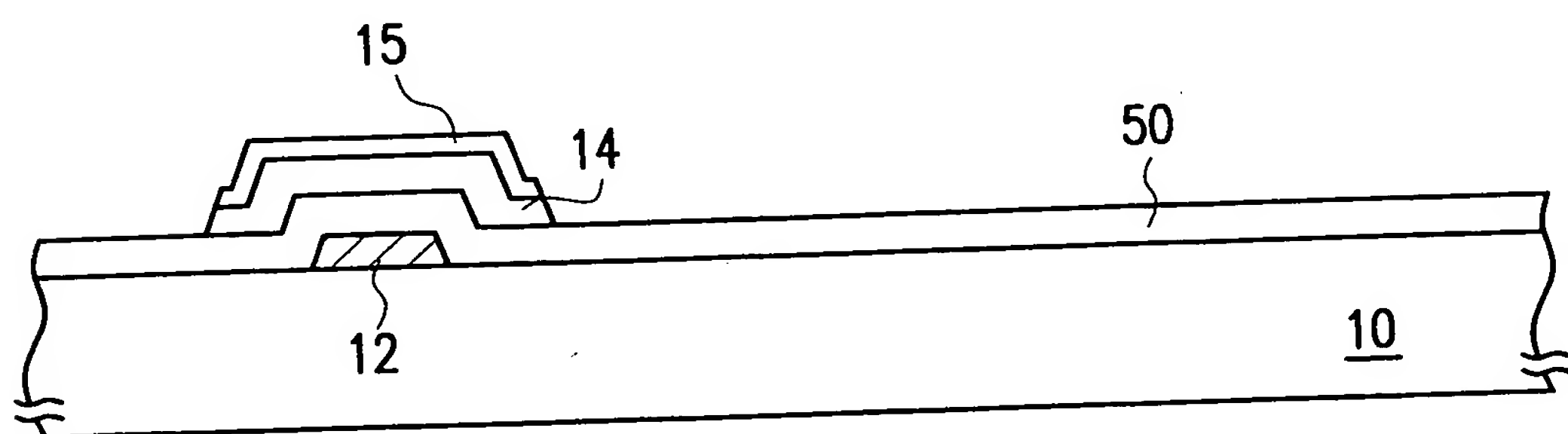


第 1 圖

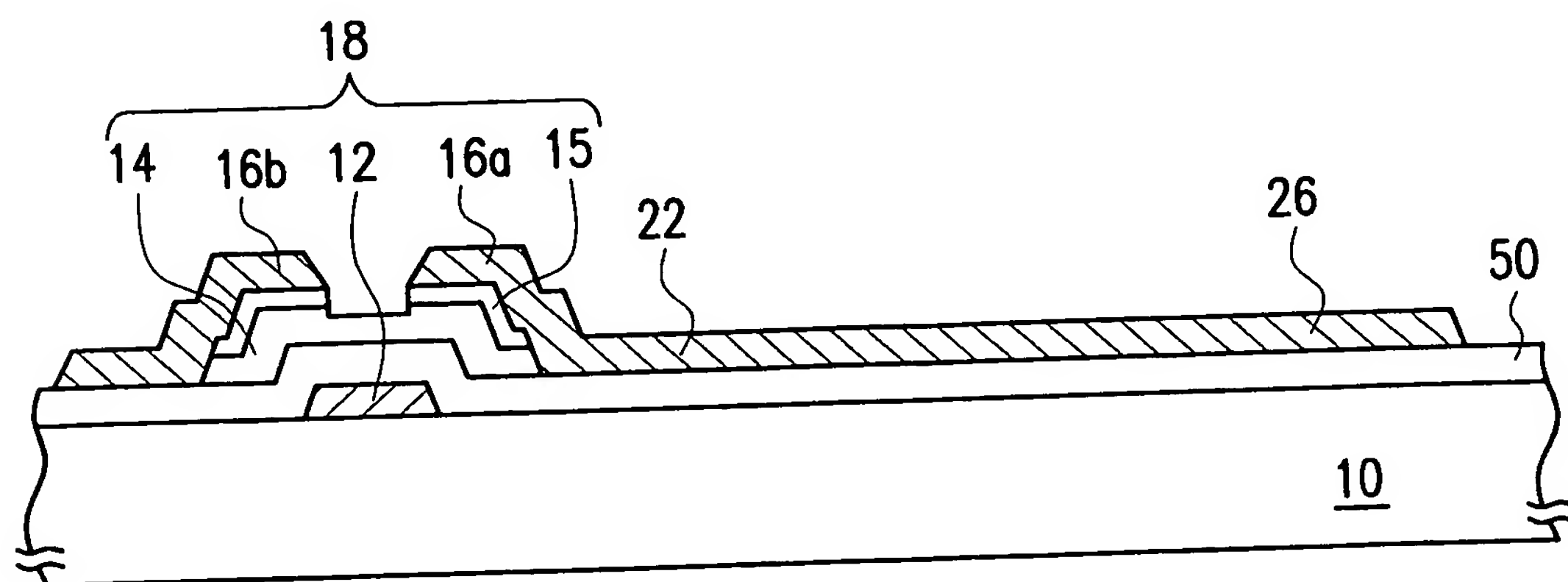




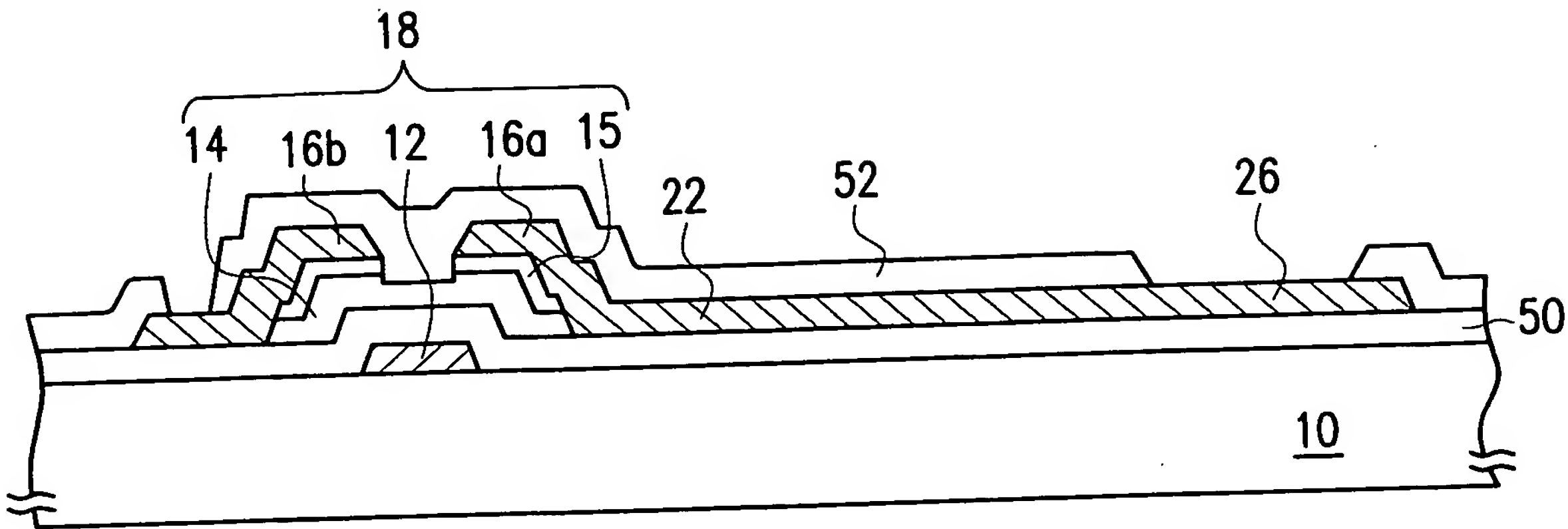
第 1A 圖



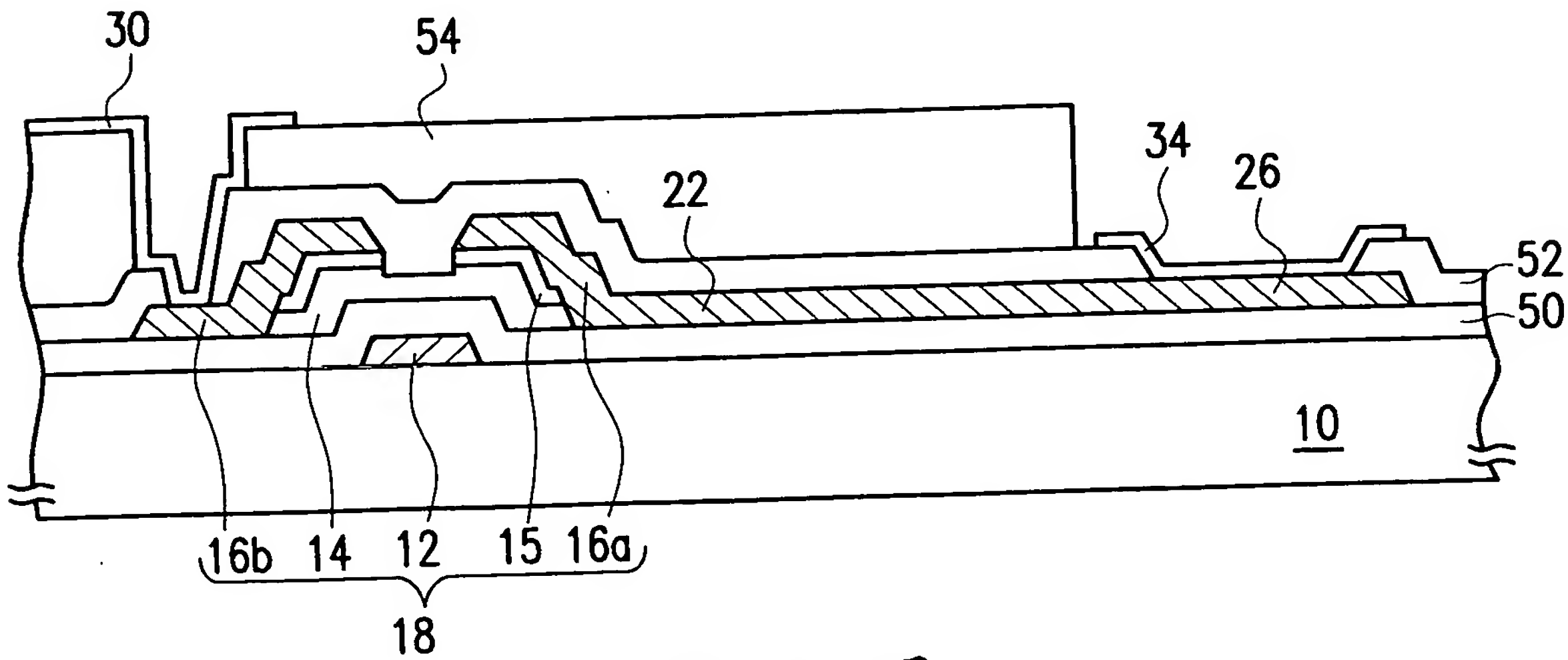
第 1B 圖



第 1C 圖

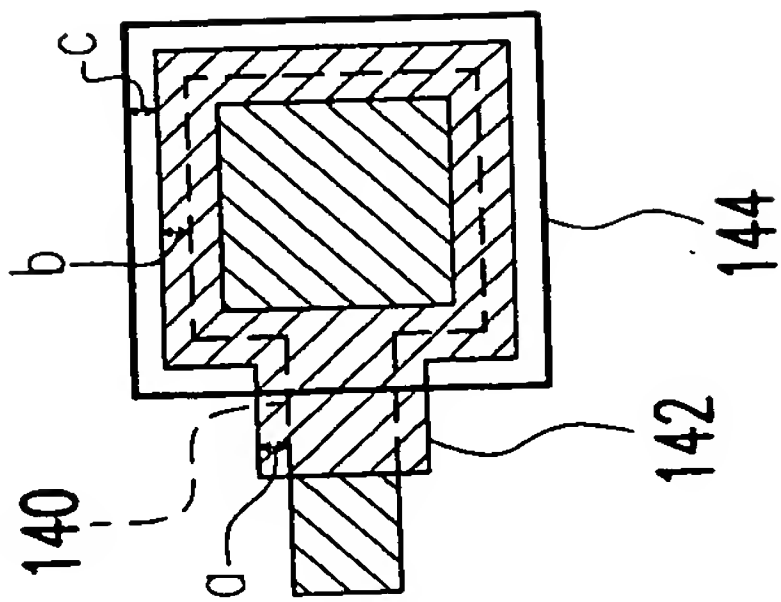
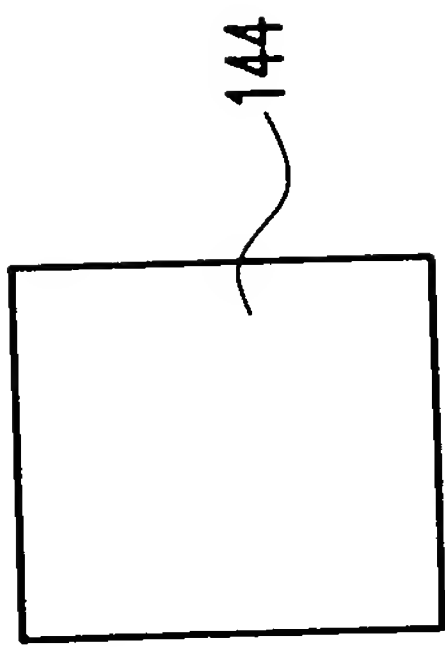
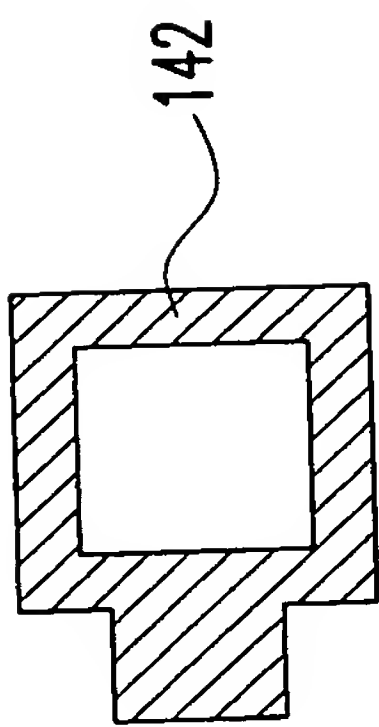
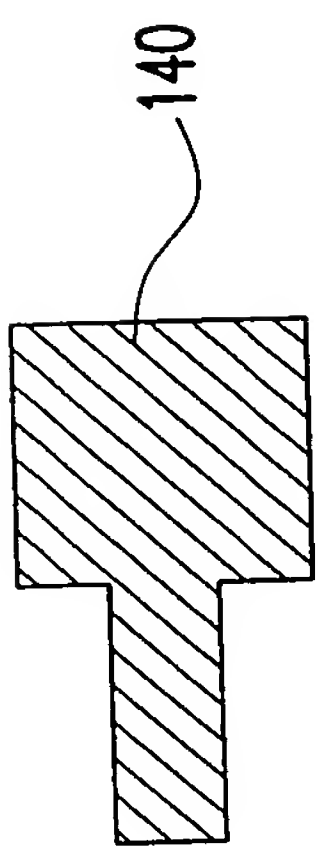


第 1D 圖



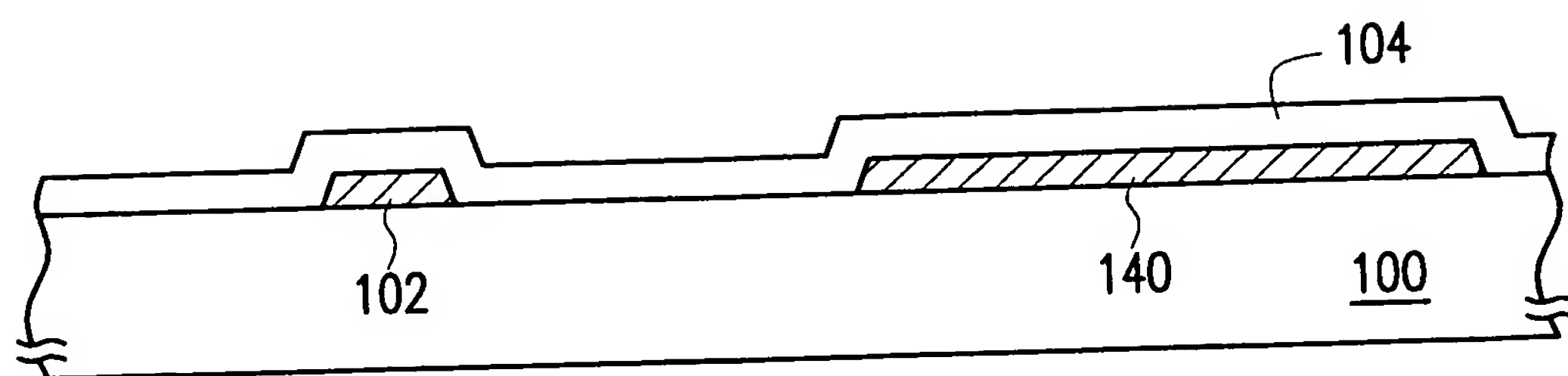
第 1E 圖

第2A圖

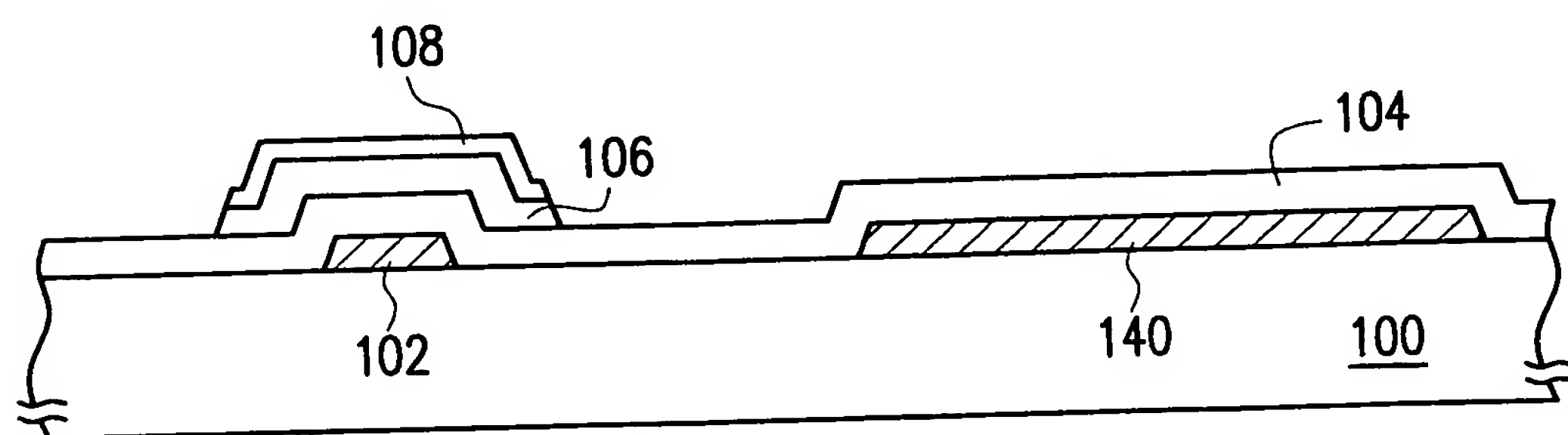


第2B圖

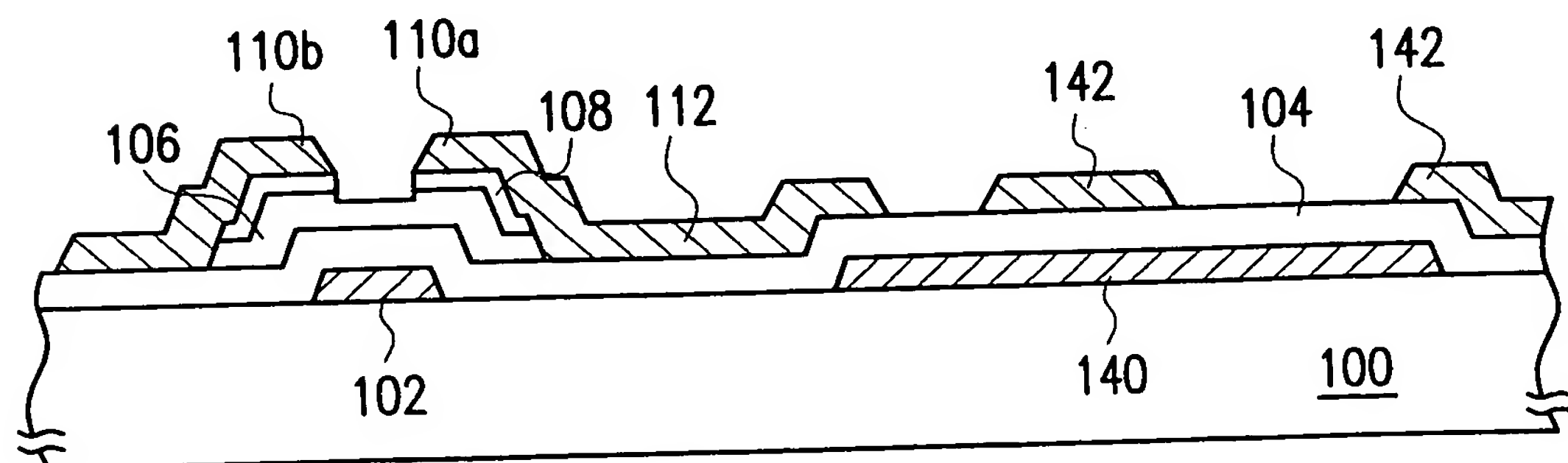




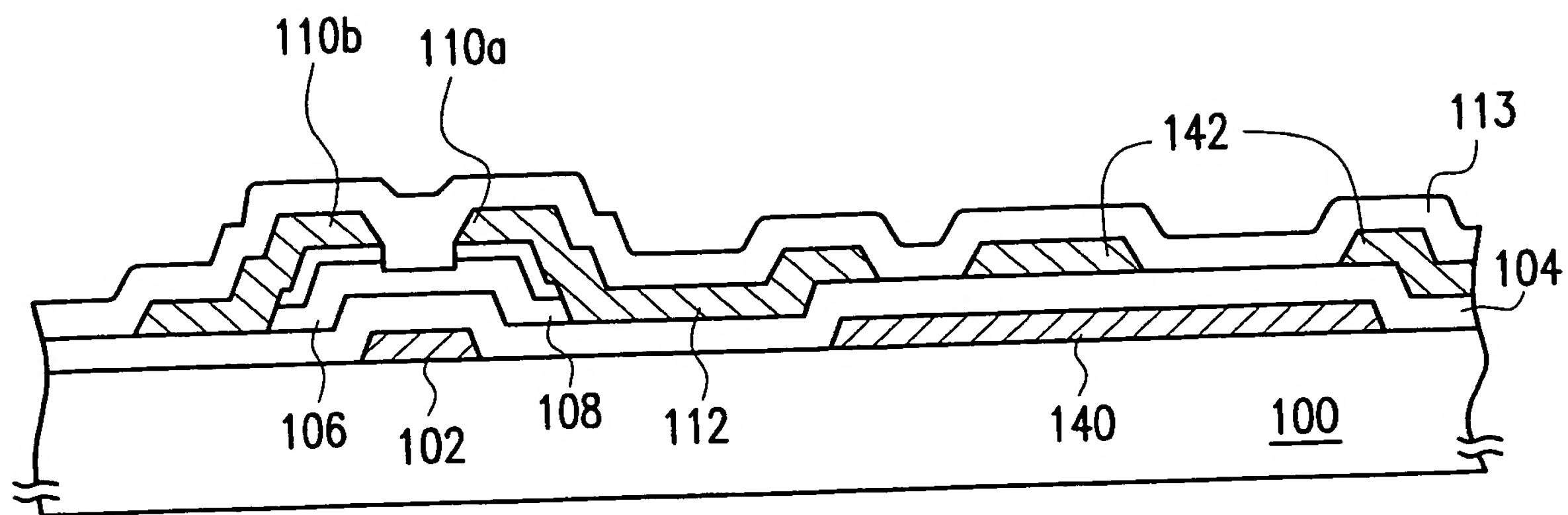
第3A圖



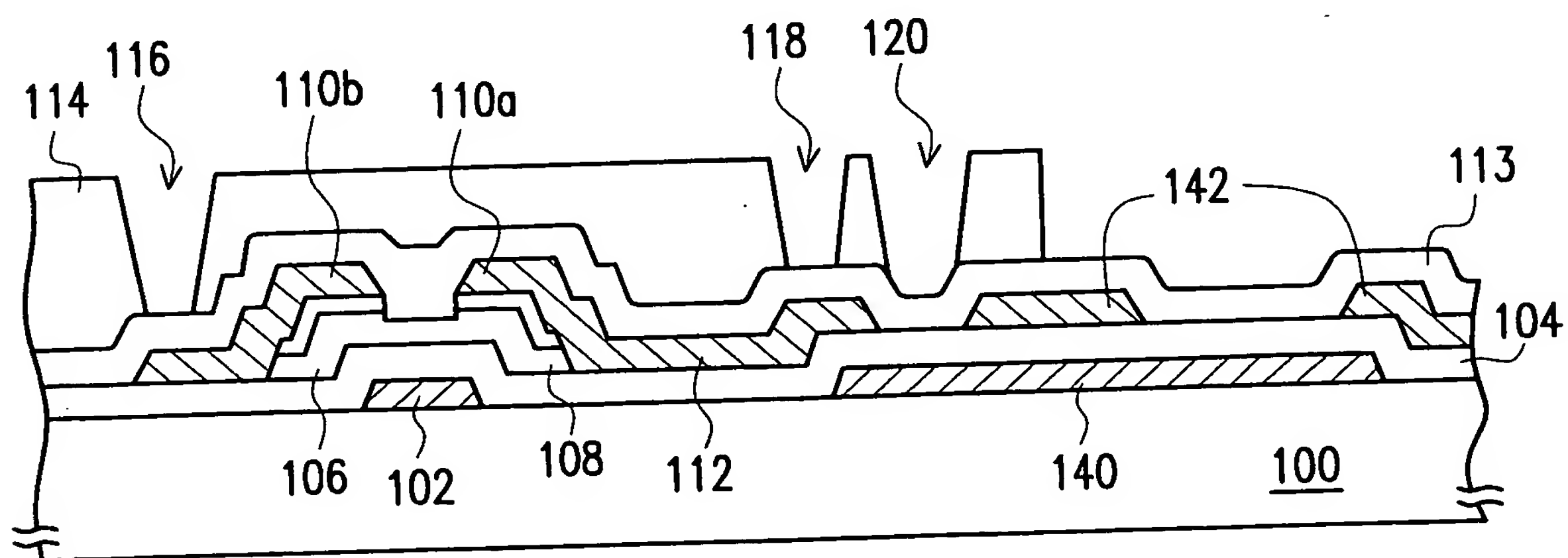
第3B圖



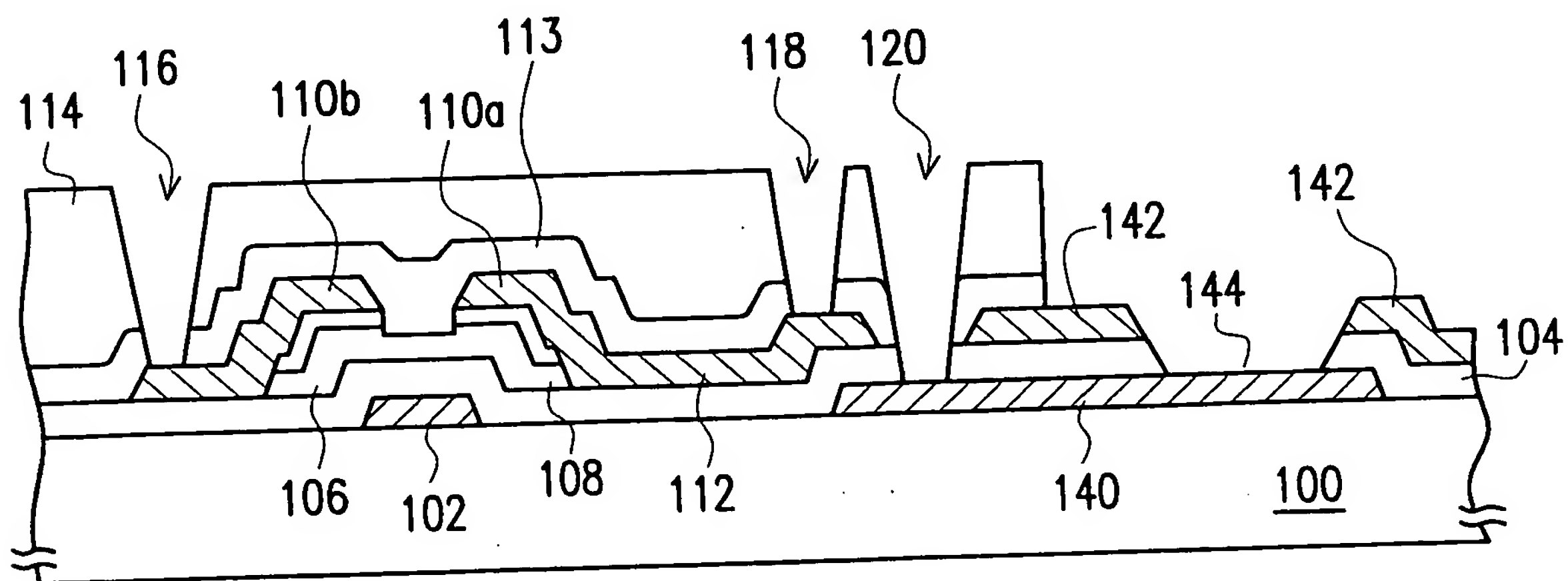
第3C圖



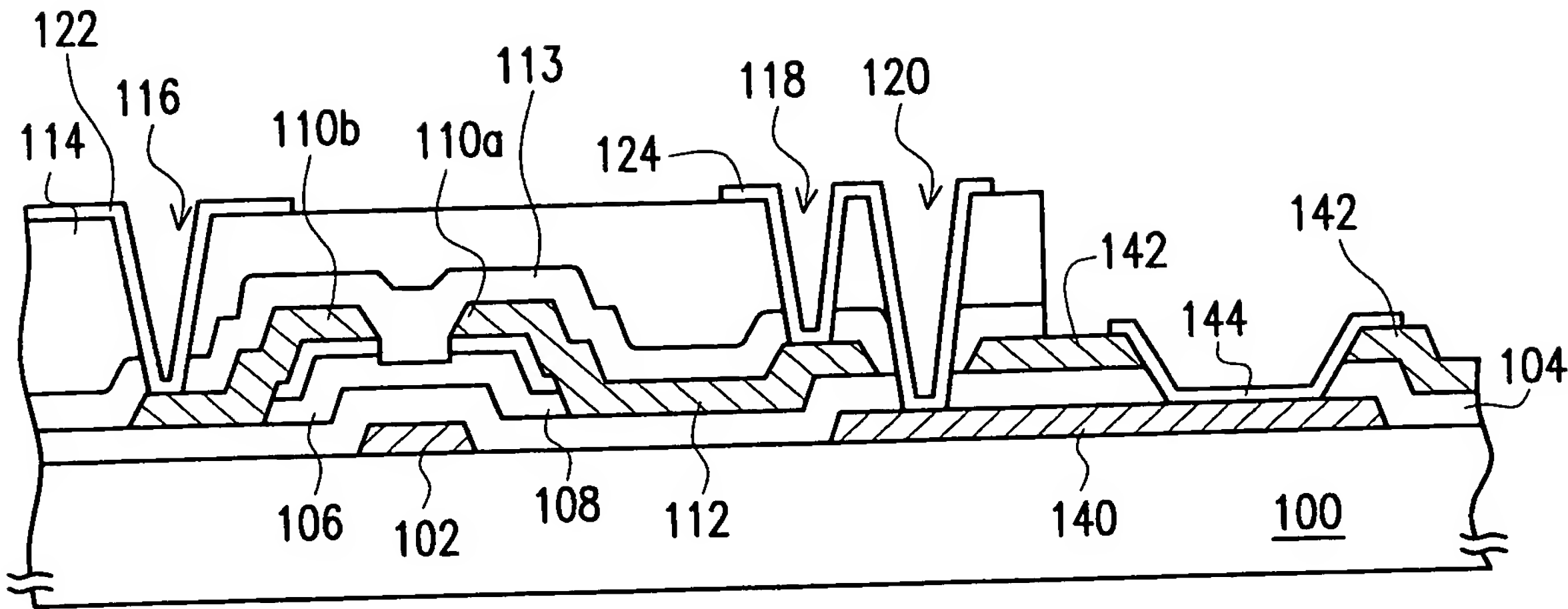
第3D圖



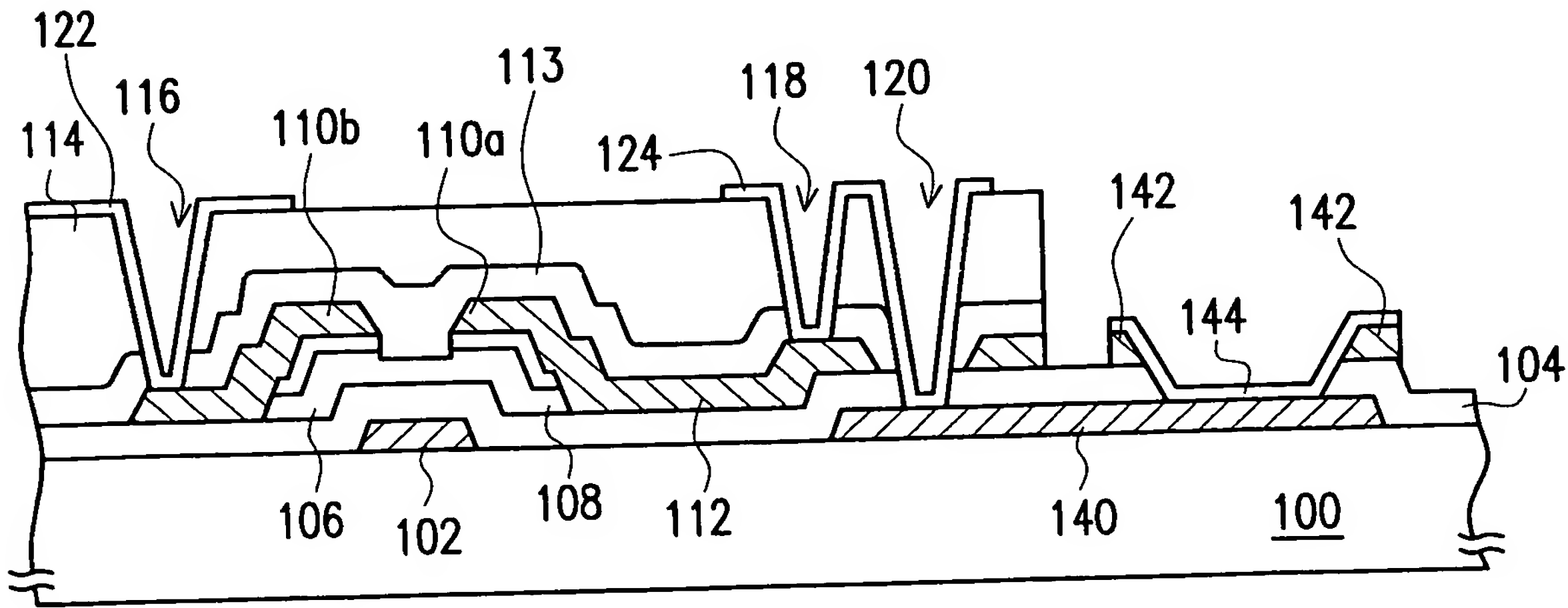
第3E圖



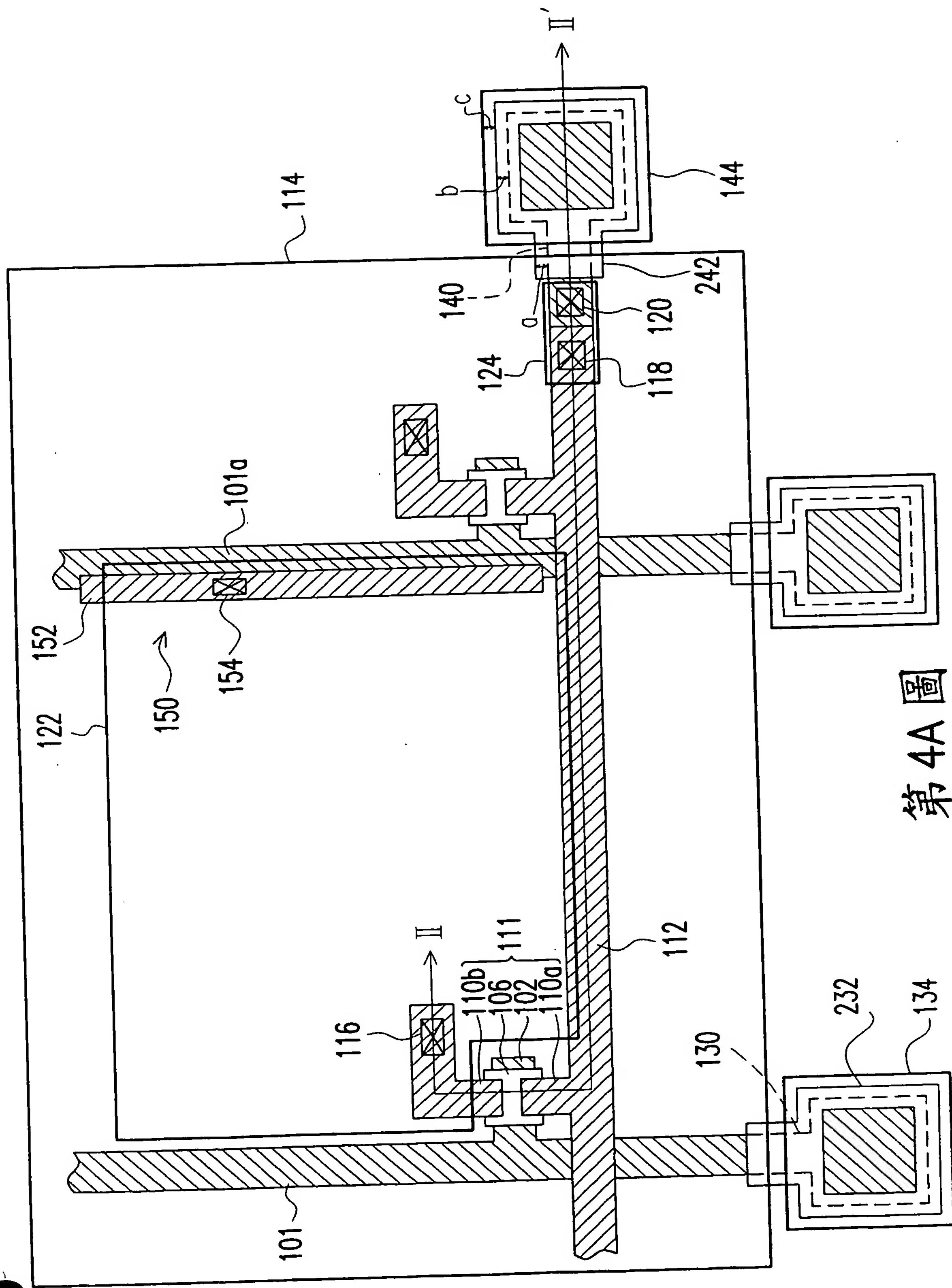
第3F圖



第 3G 圖



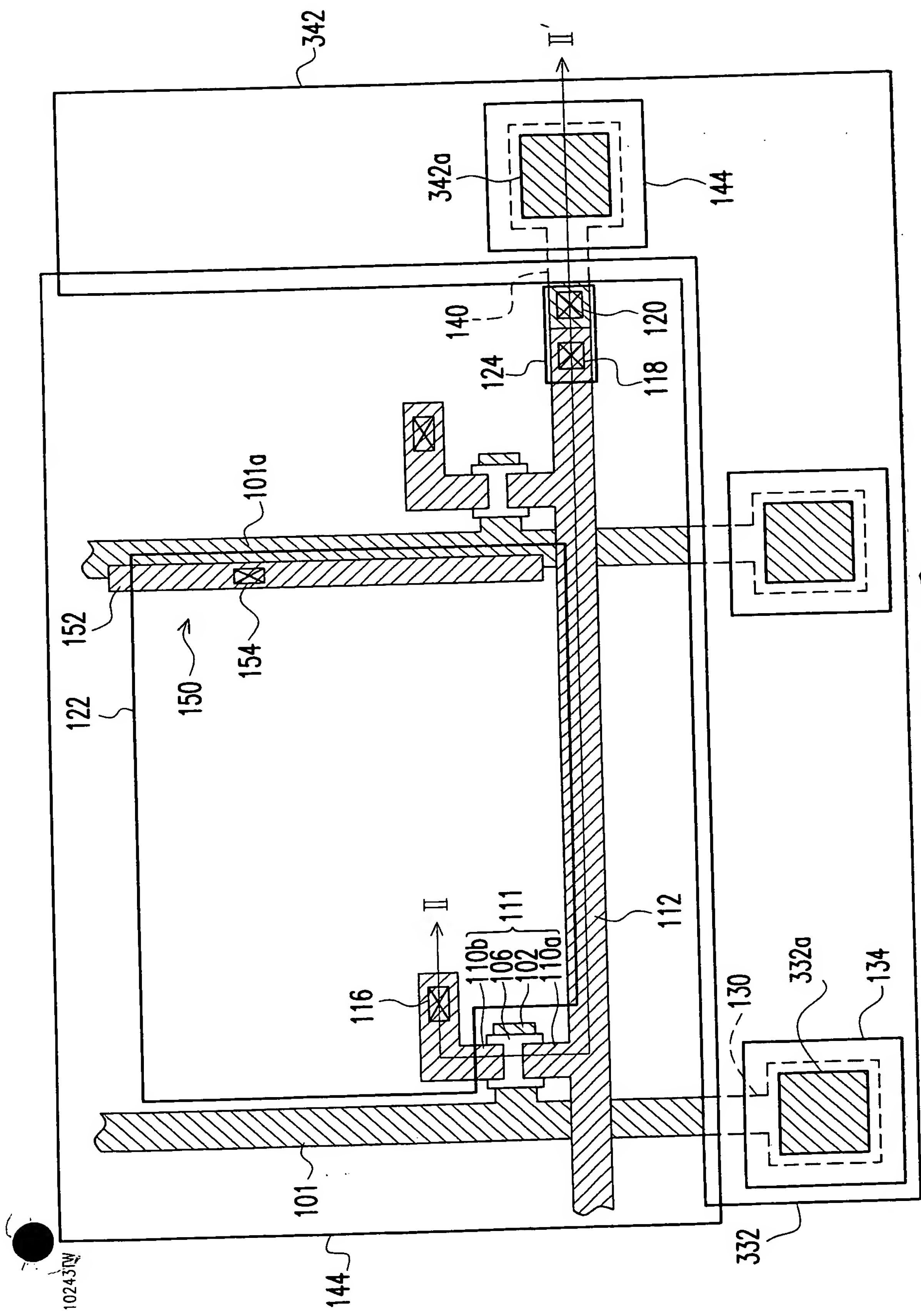
第 3H 圖



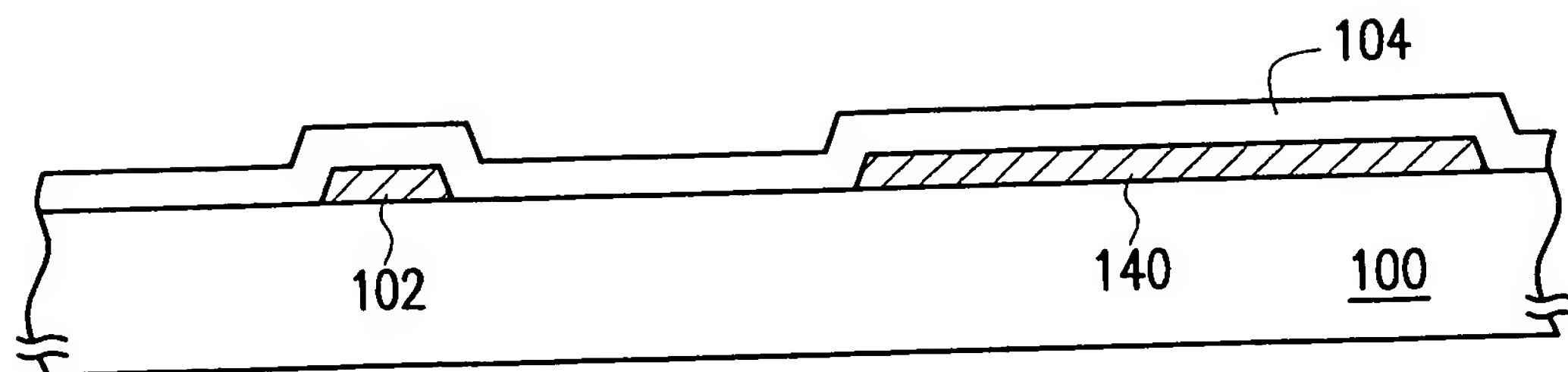
第4A圖



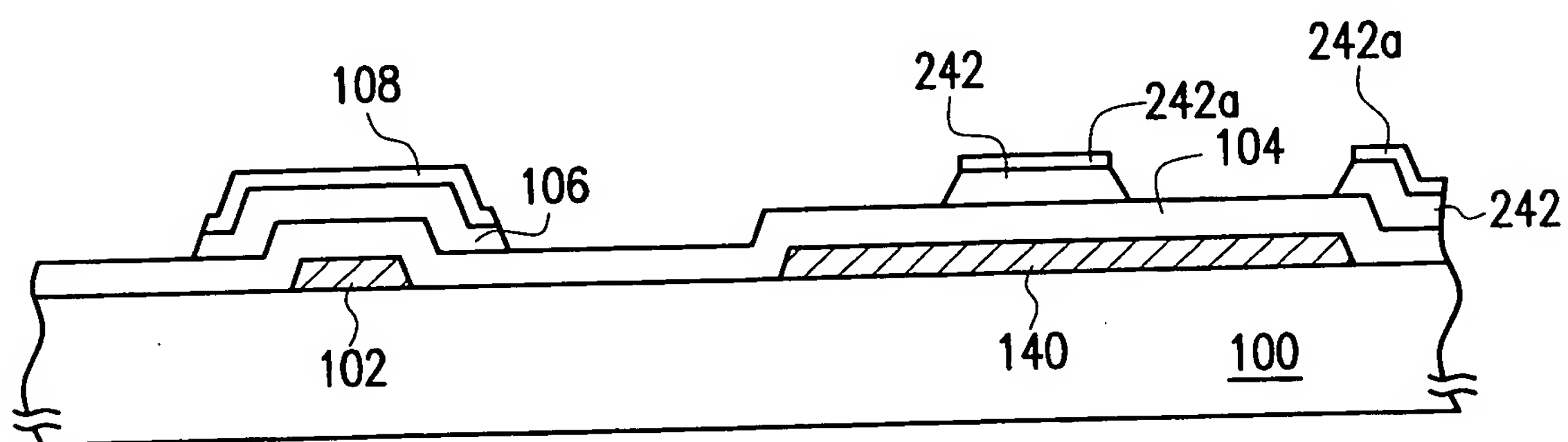




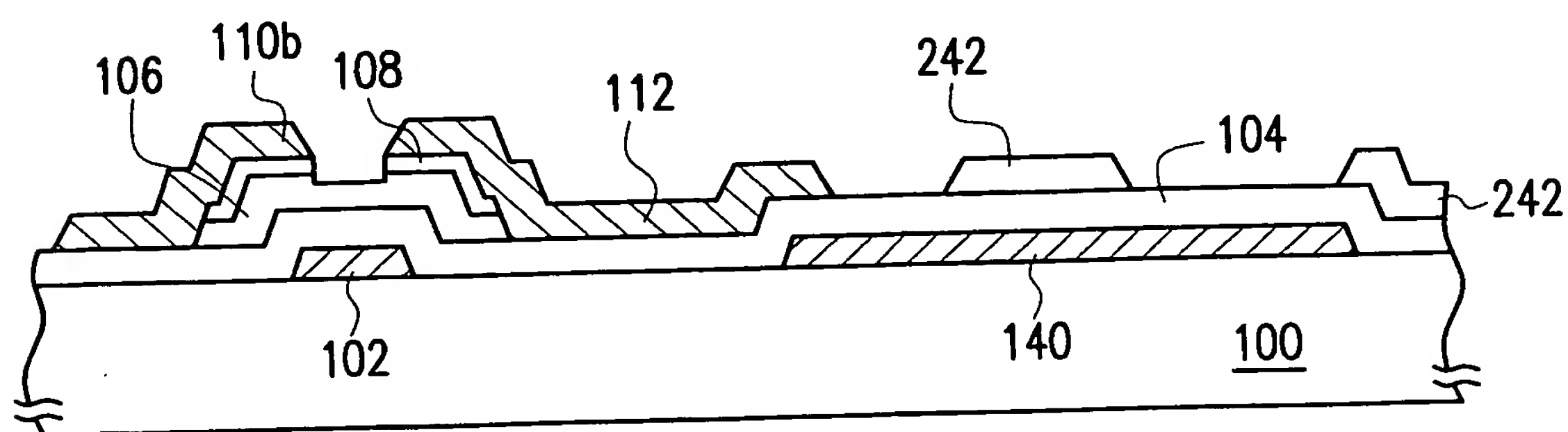
第 5 圖



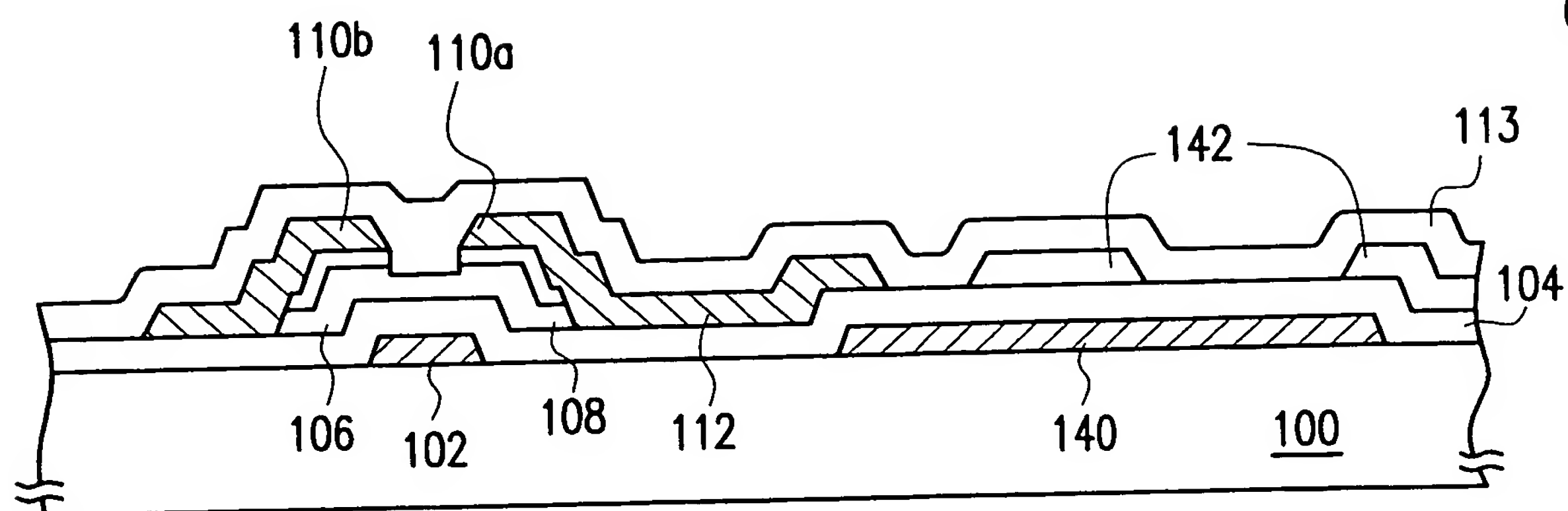
第 6A 圖



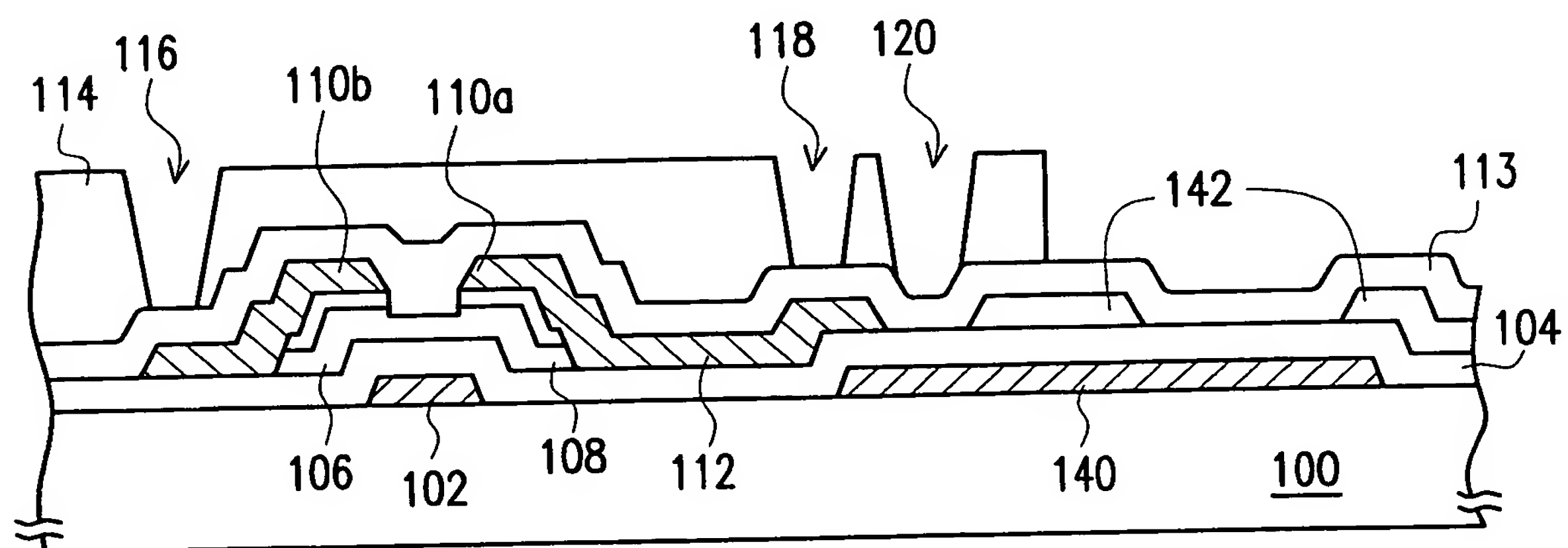
第 6B 圖



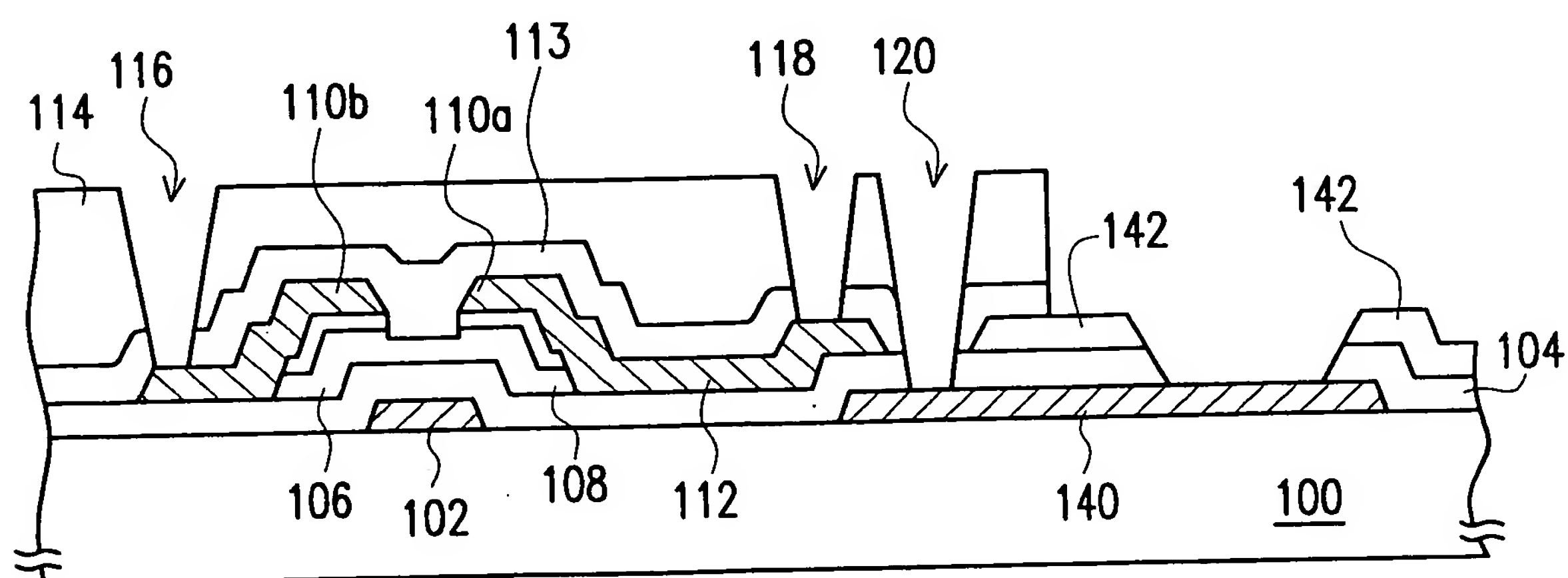
第 6C 圖



第 6D 圖

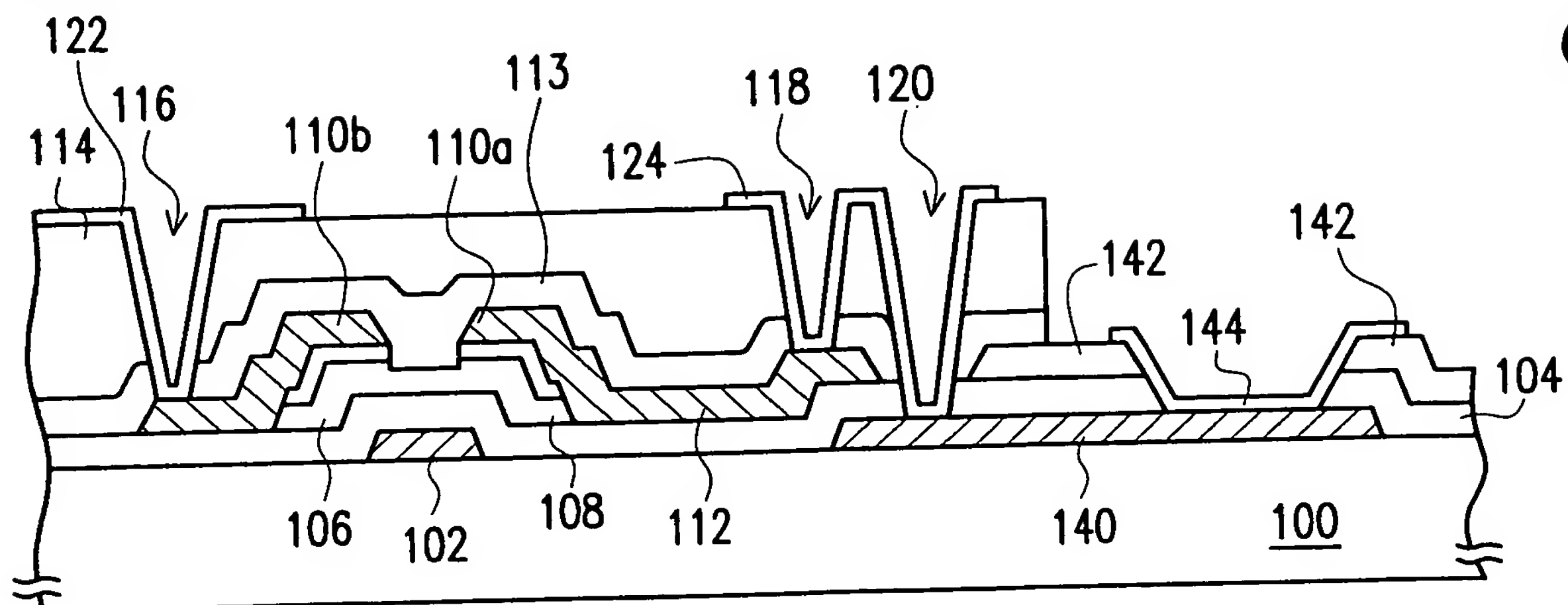


第 6E 圖

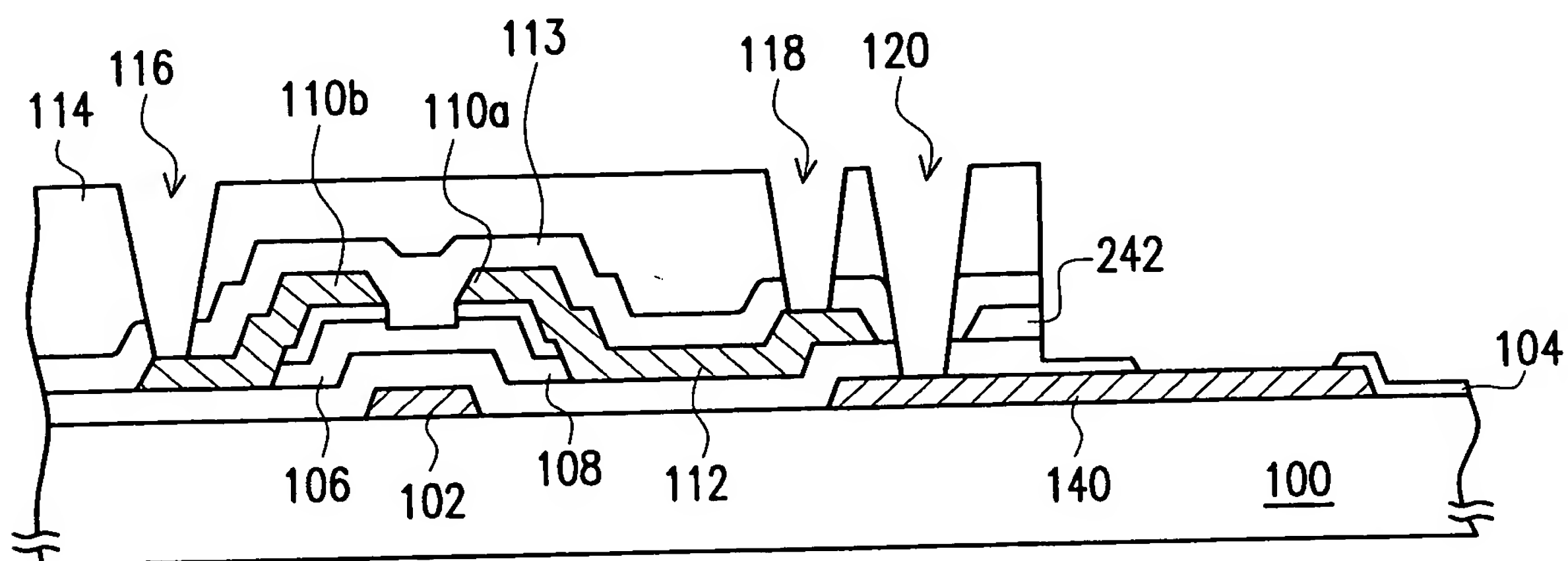


第 6F 圖

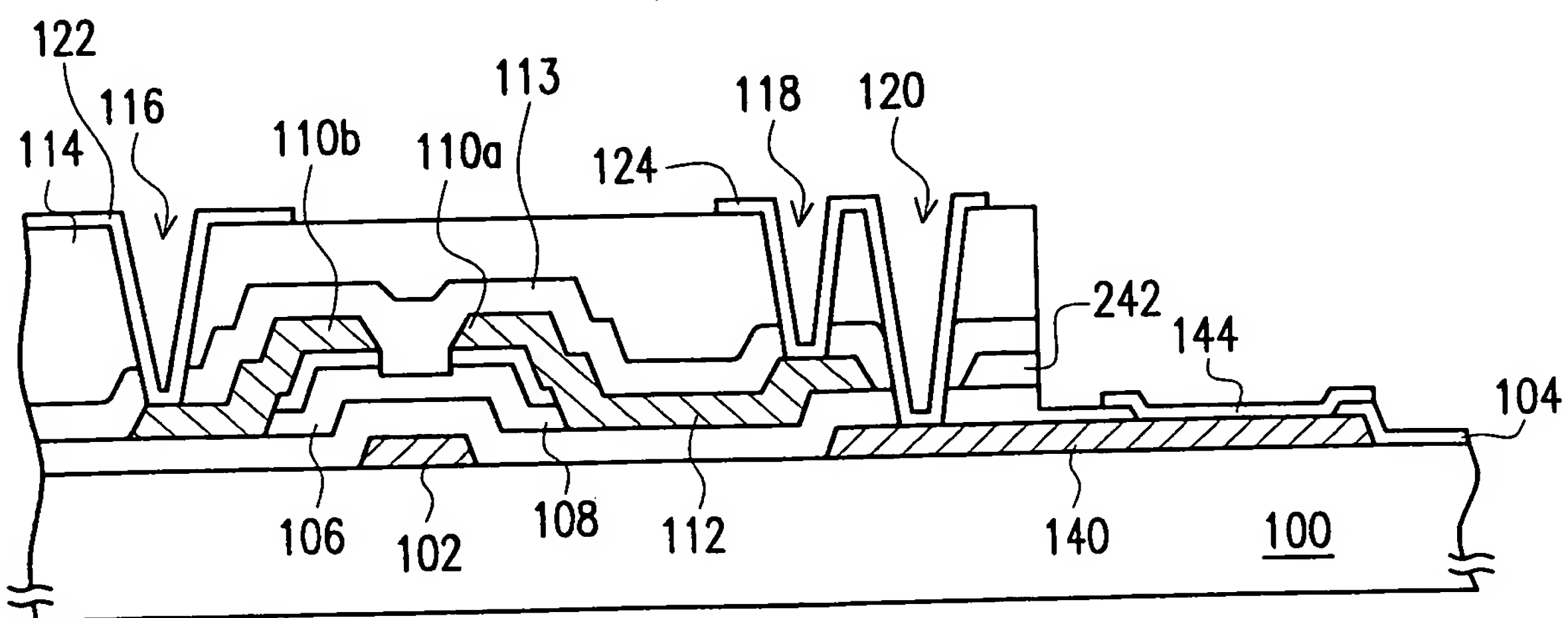




第 6G 圖



第 6H 圖



第 6I 圖

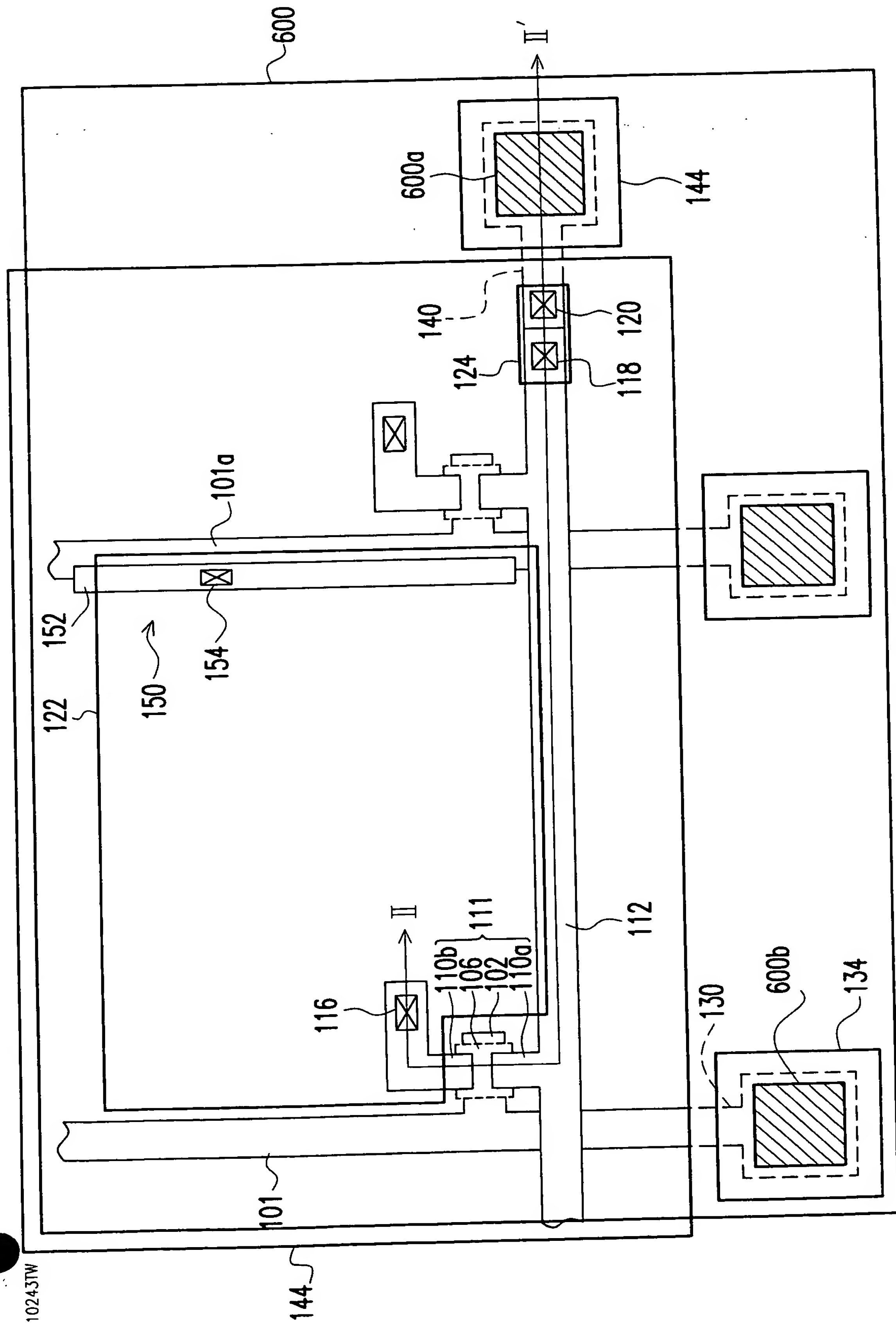
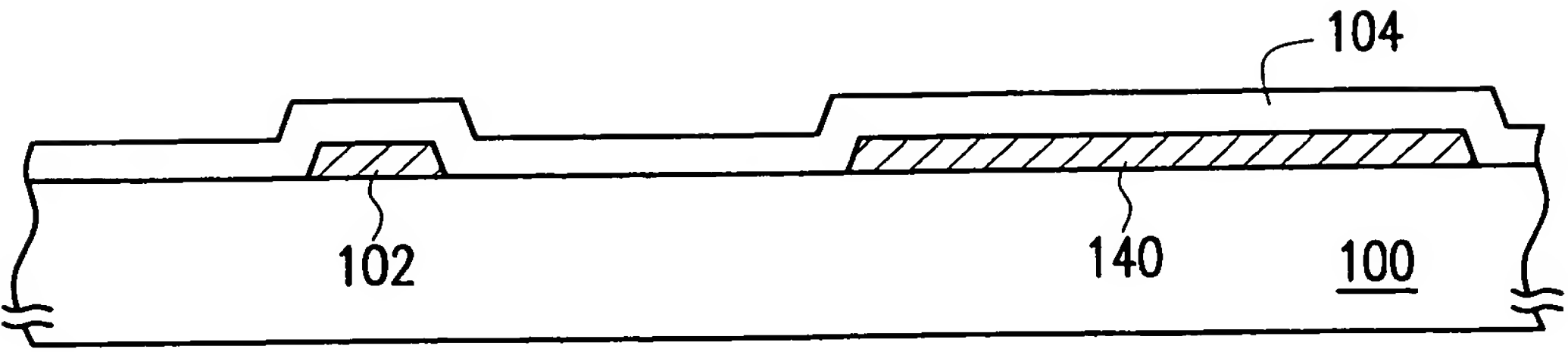
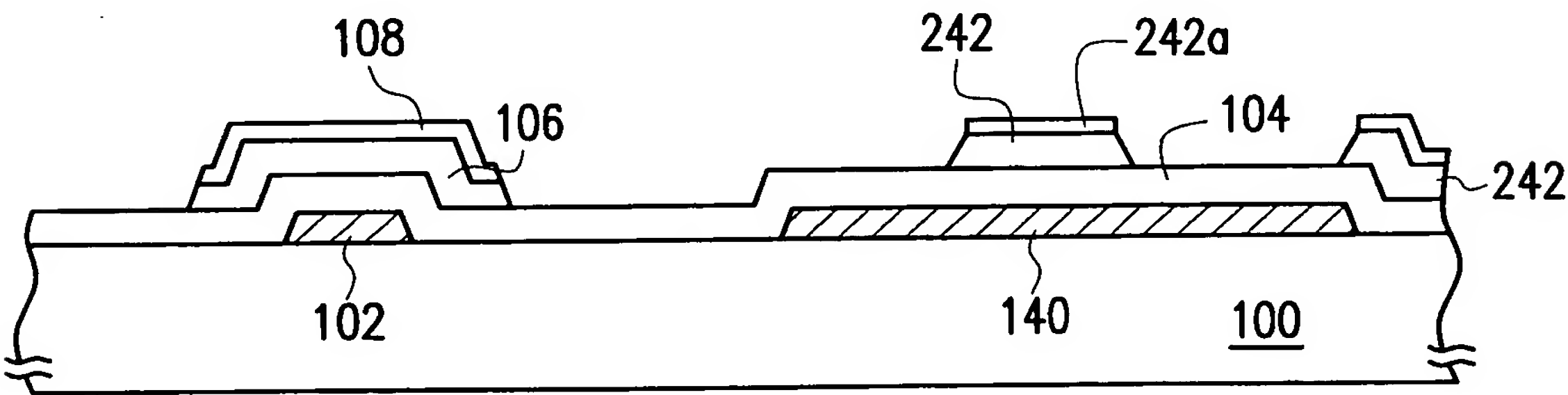


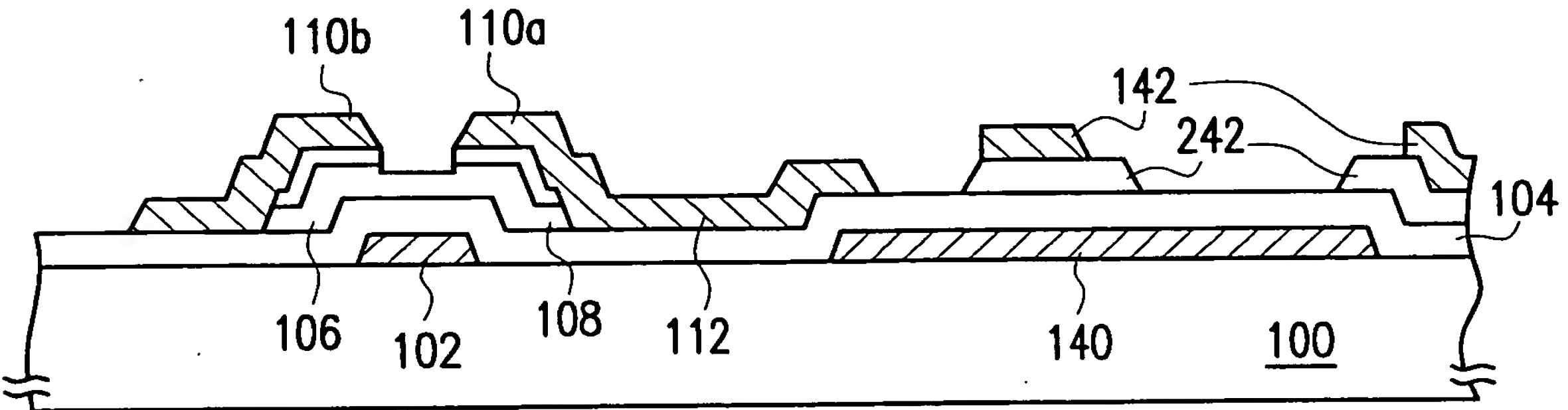
圖 7 第



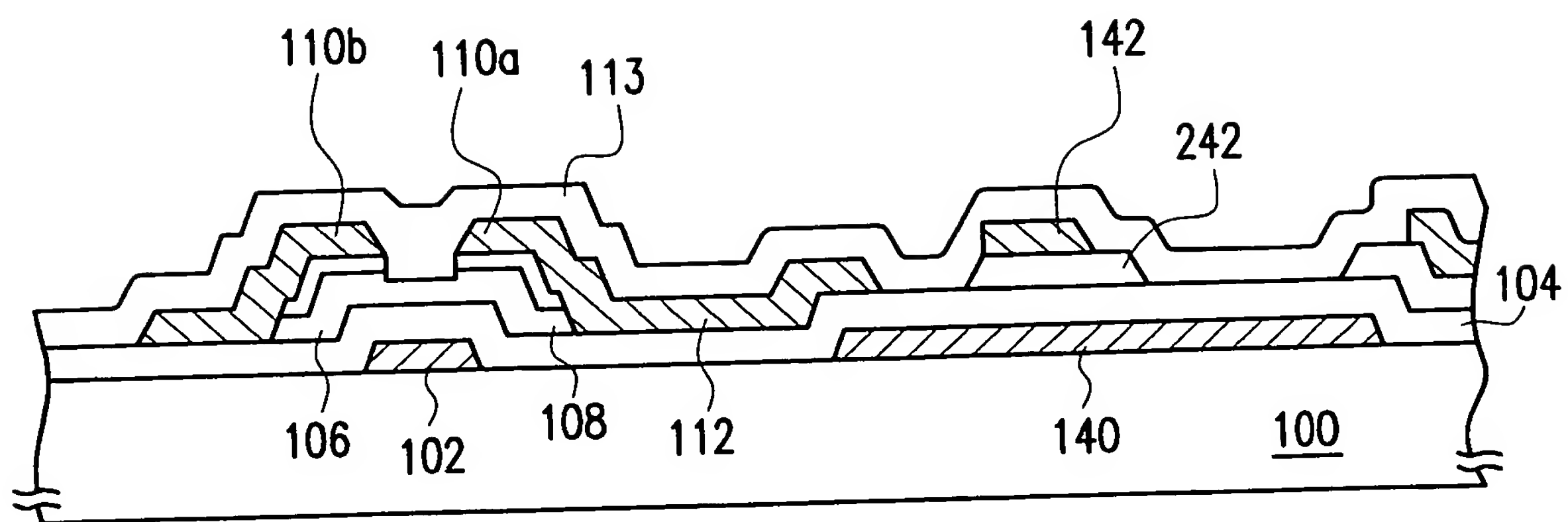
第 8A 圖



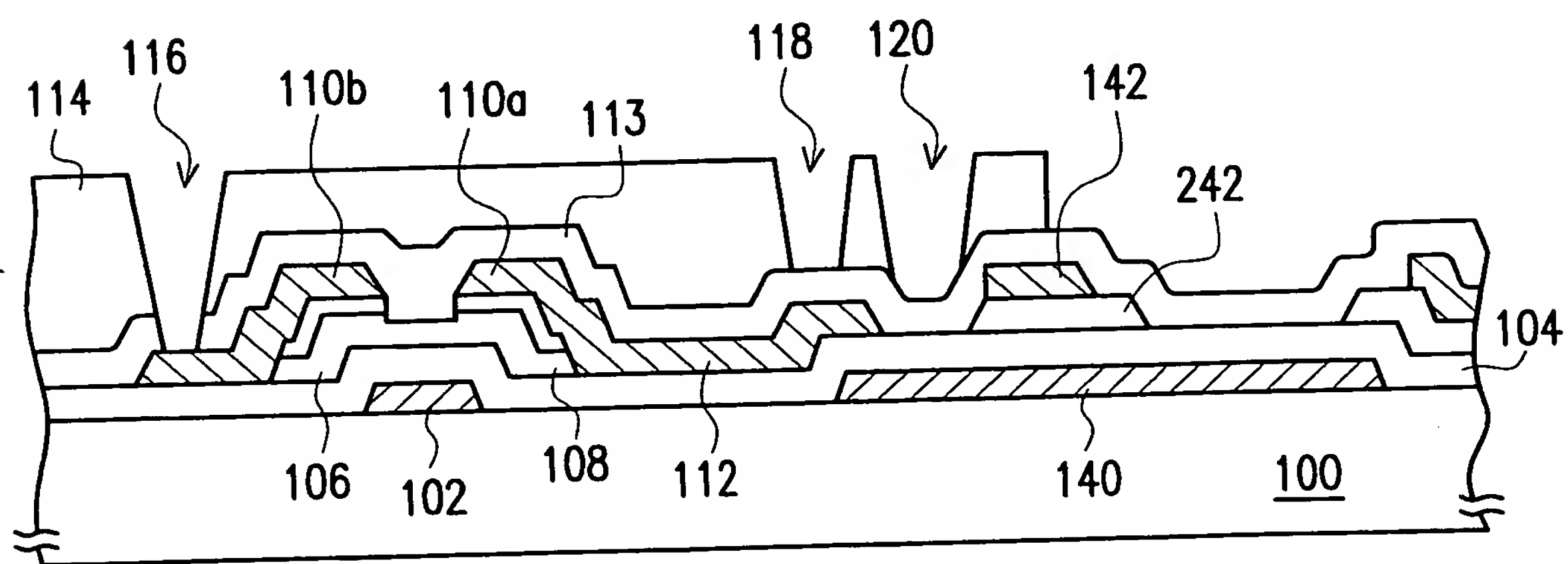
第 8B 圖



第 8C 圖

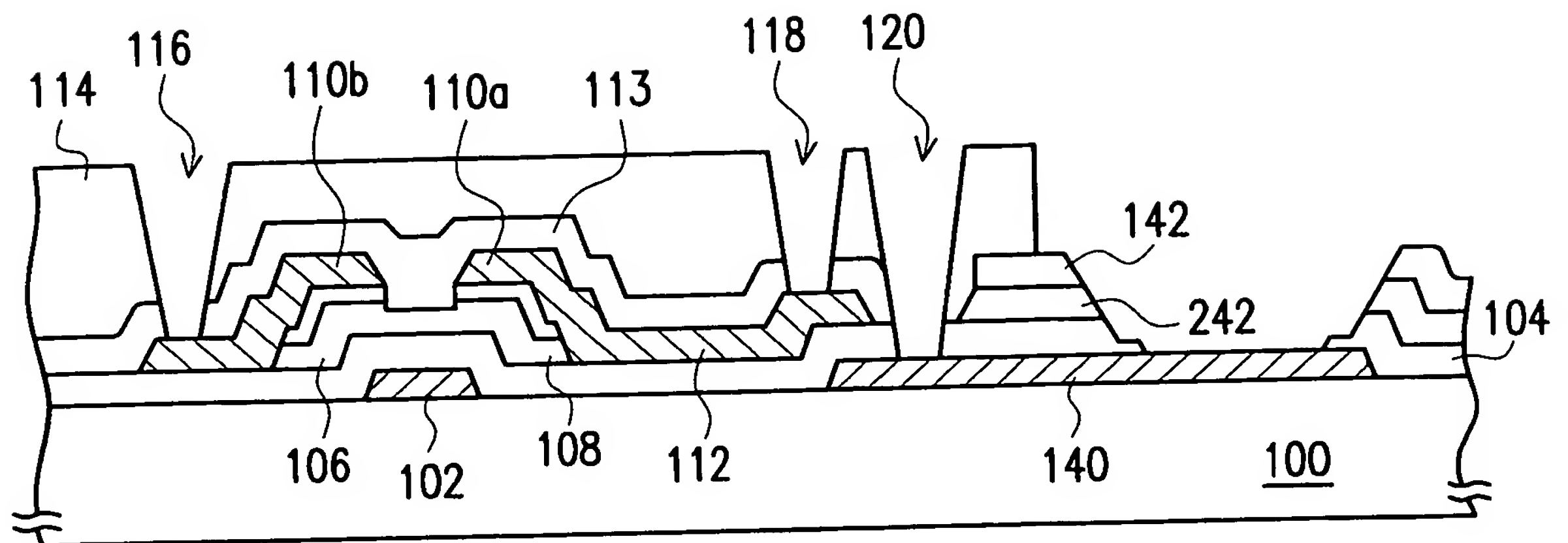


第8D圖

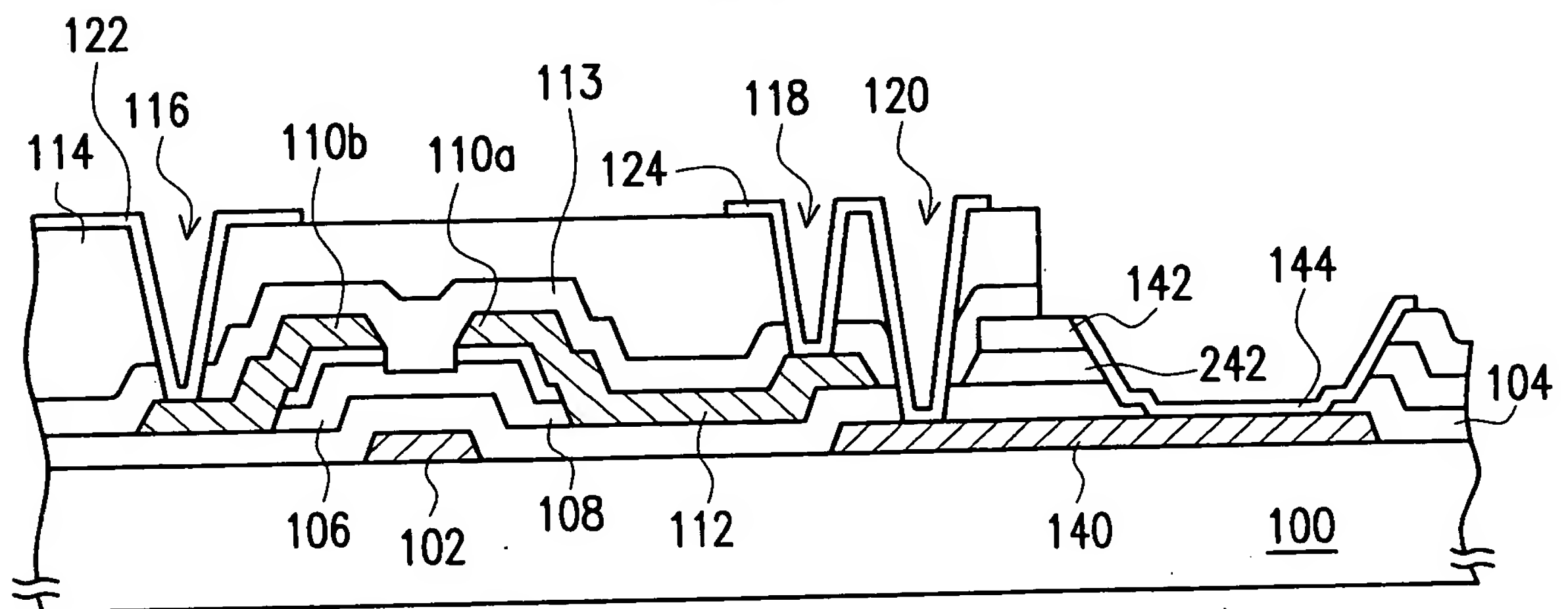


第8E圖

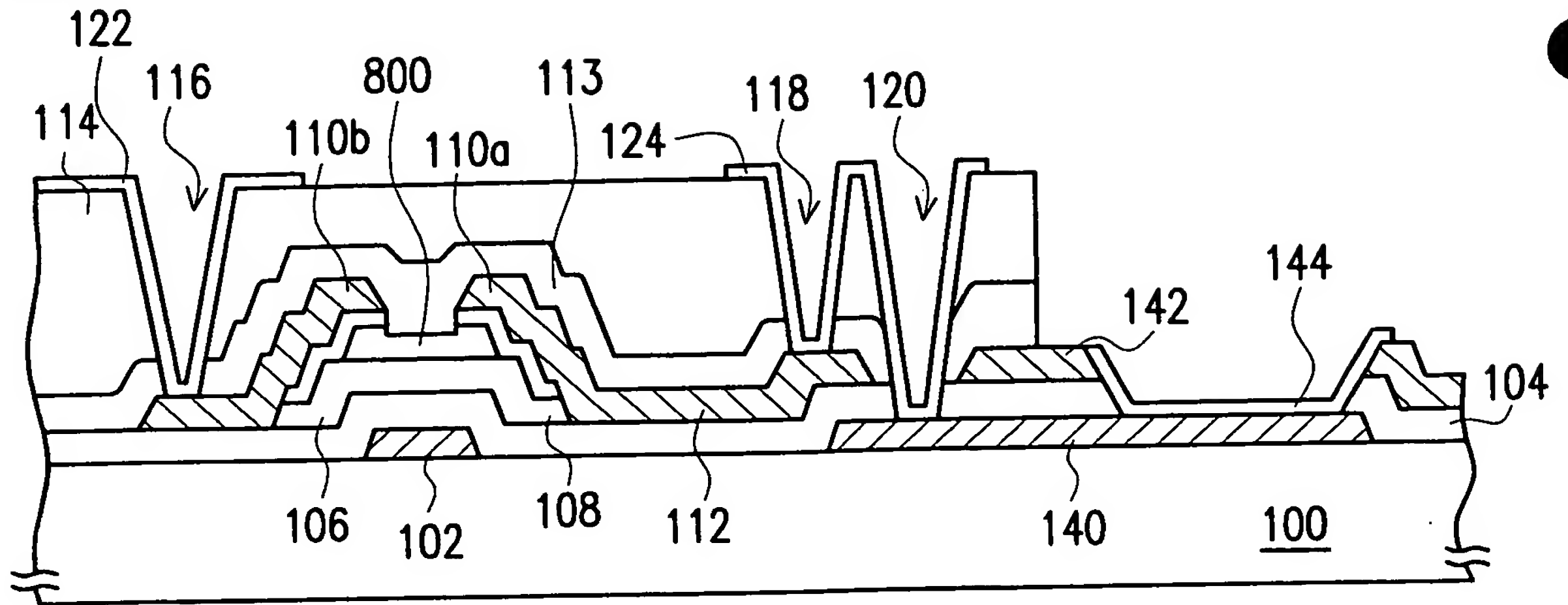




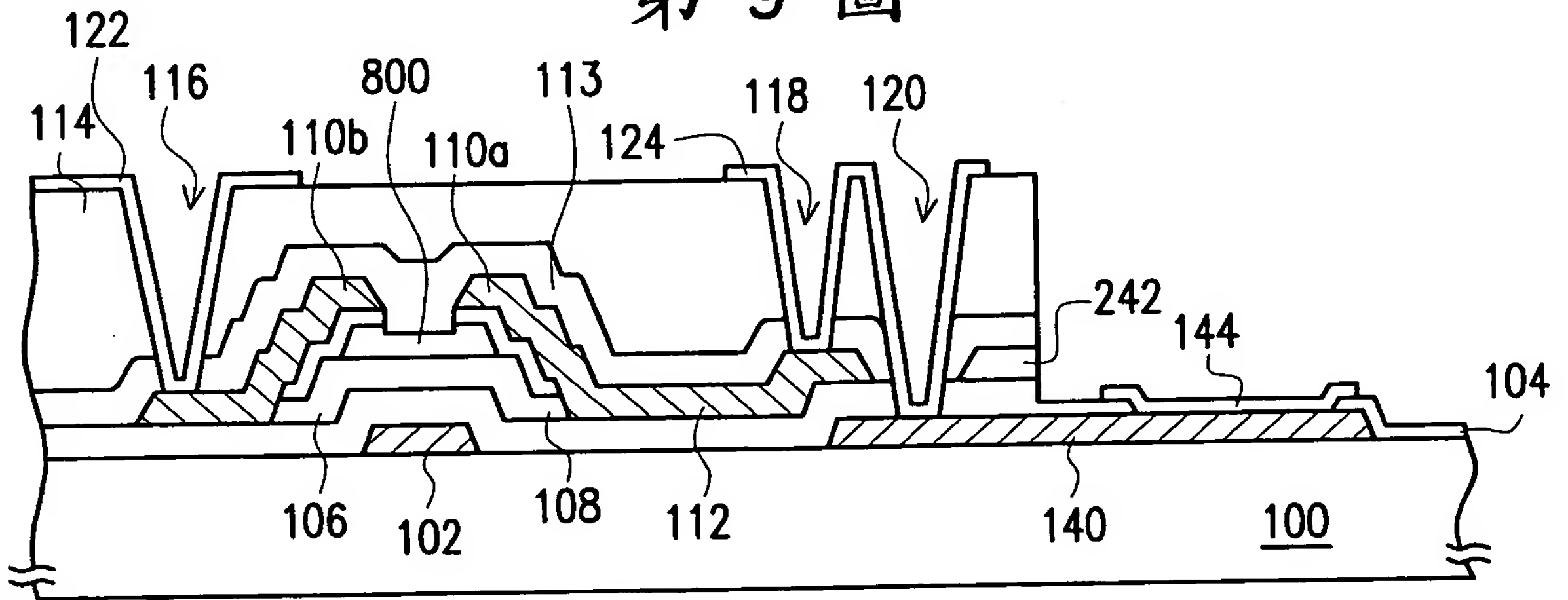
第8F圖



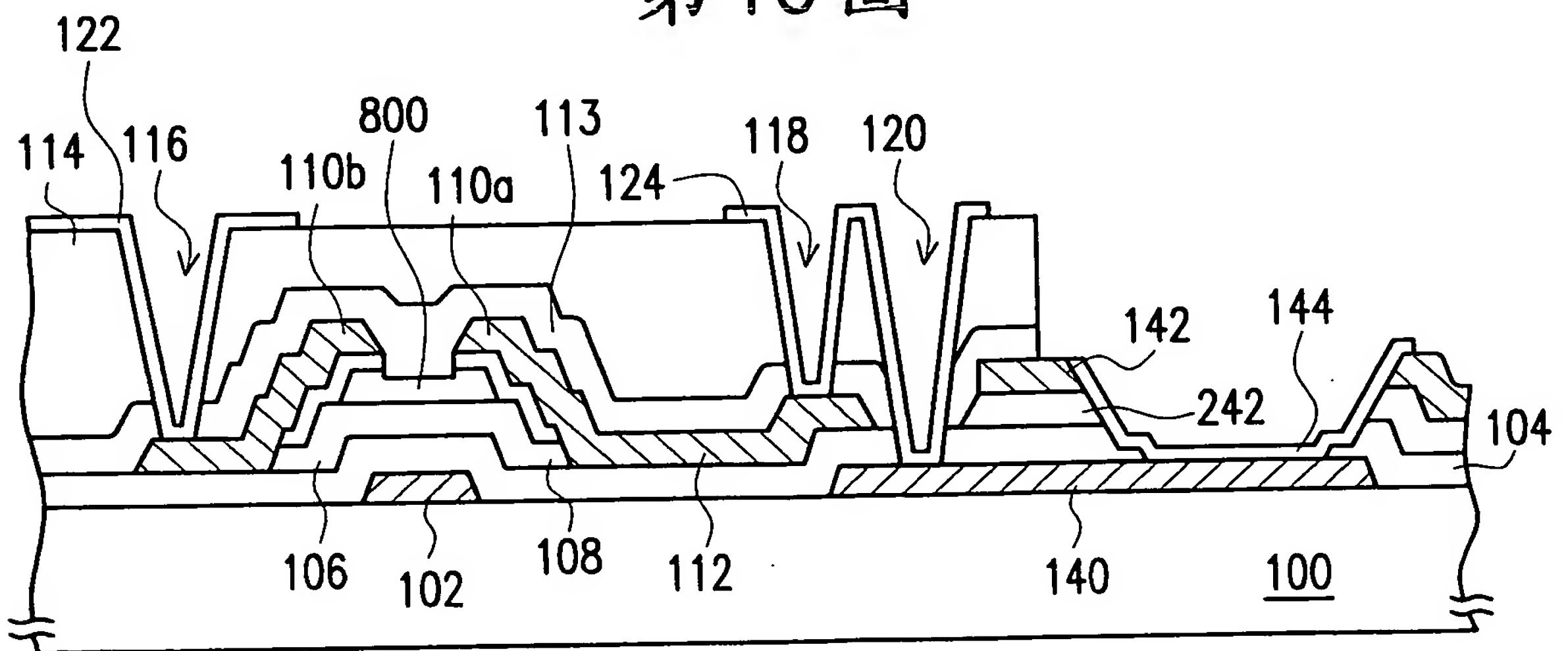
第8G圖



第 9 圖



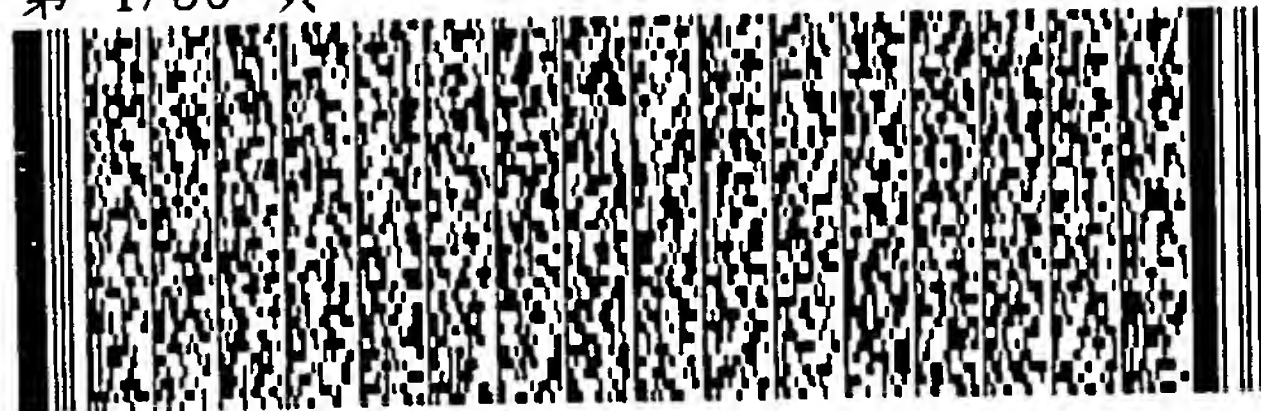
第 10 圖



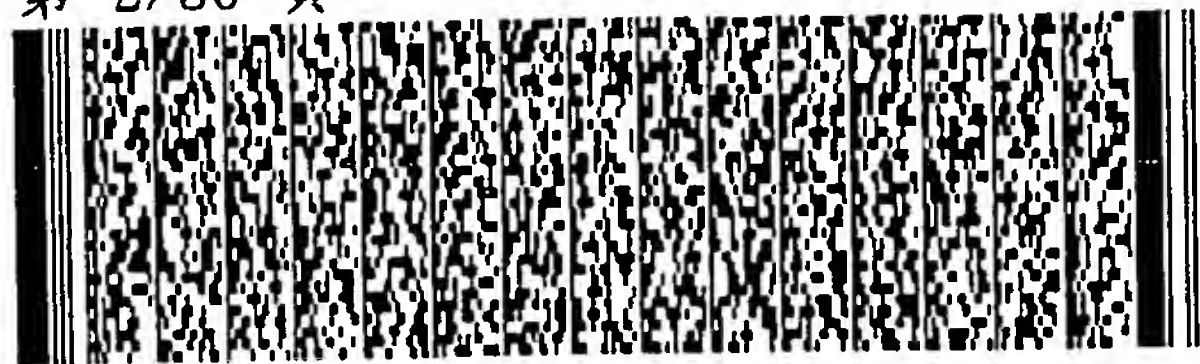
第 11 圖



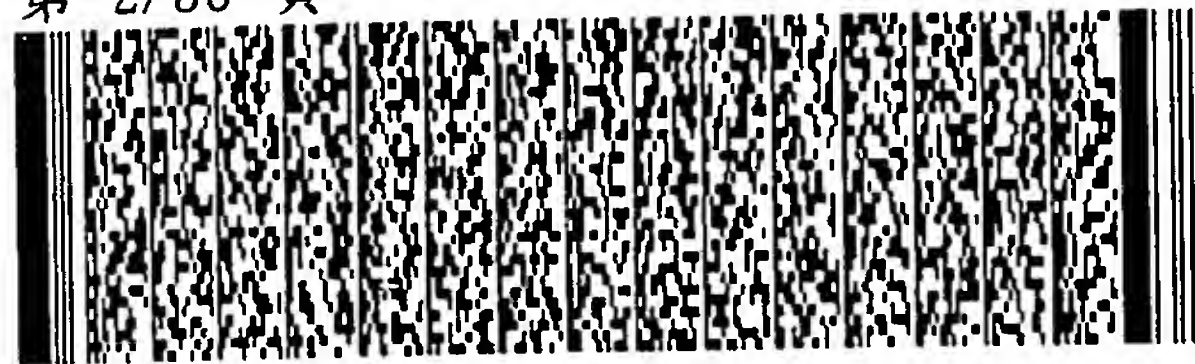
第 1/36 頁



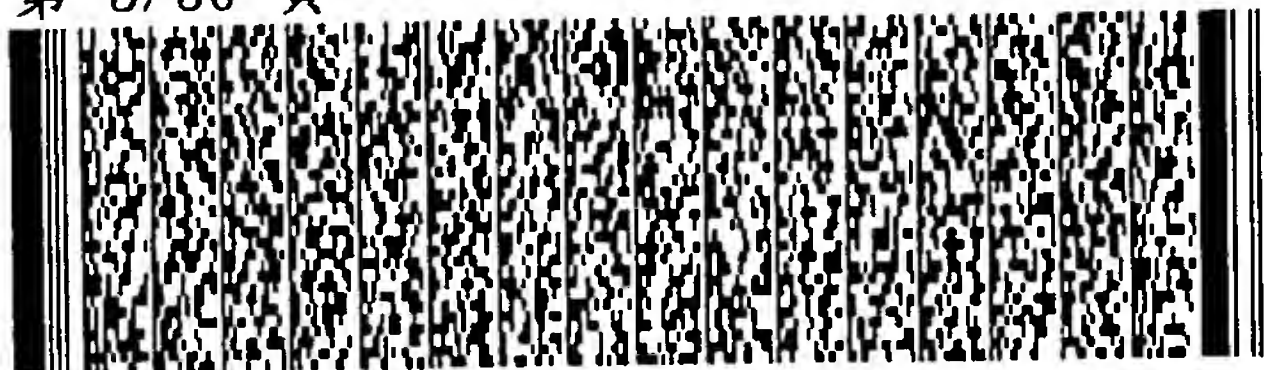
第 2/36 頁



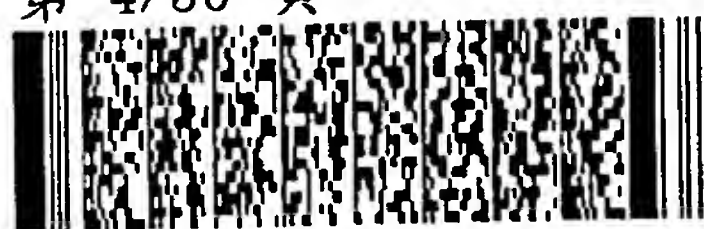
第 2/36 頁



第 3/36 頁



第 4/36 頁



第 5/36 頁



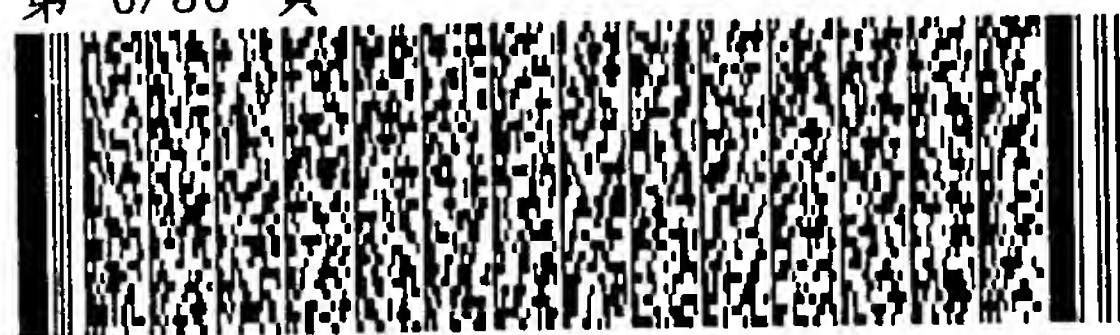
第 5/36 頁



第 6/36 頁



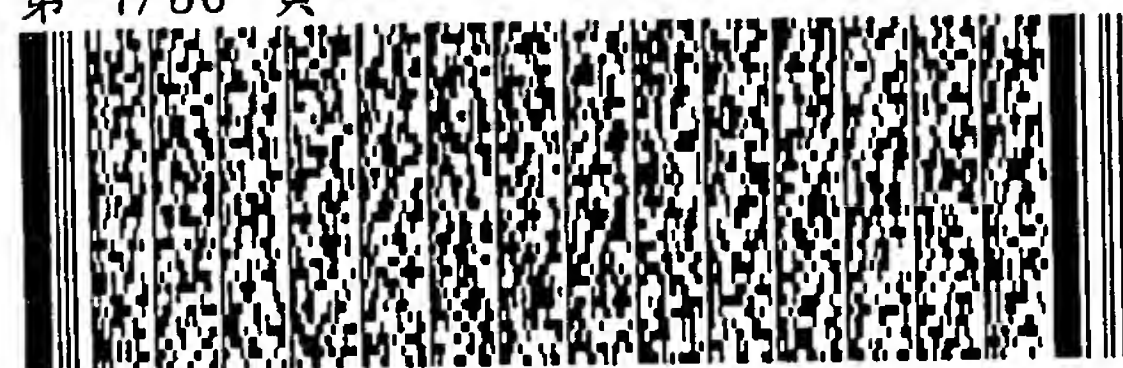
第 6/36 頁



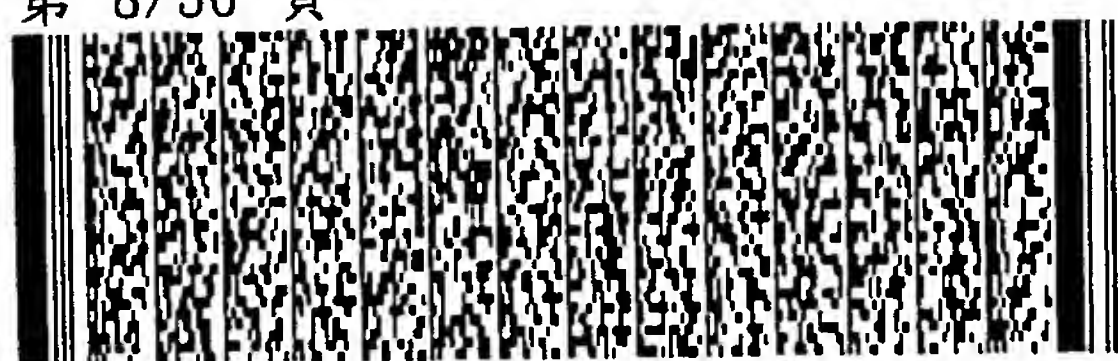
第 7/36 頁



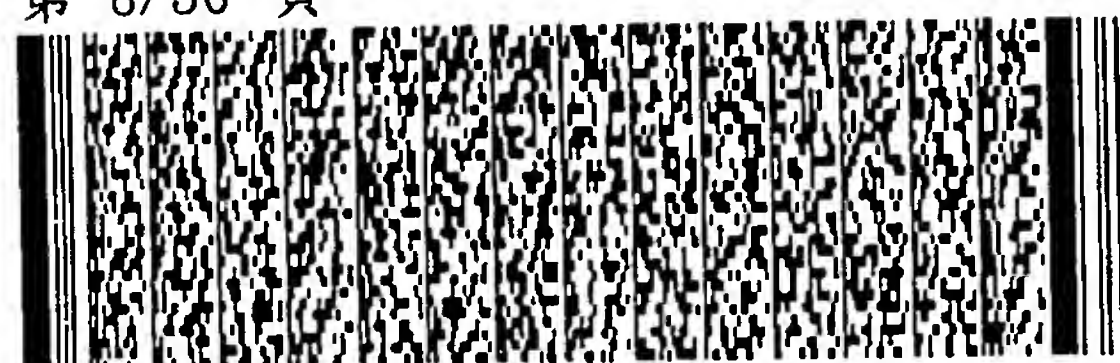
第 7/36 頁



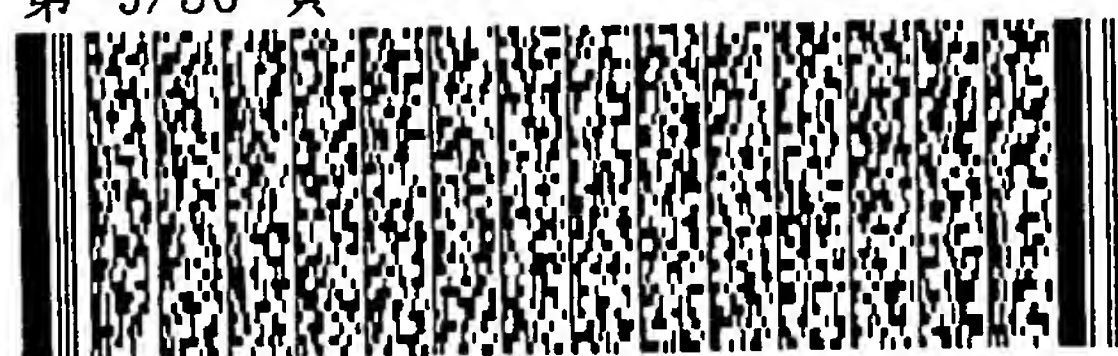
第 8/36 頁



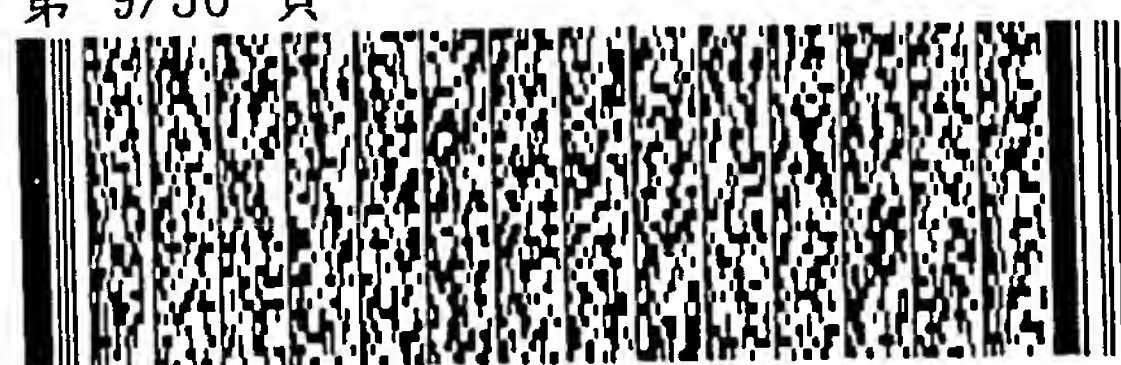
第 8/36 頁



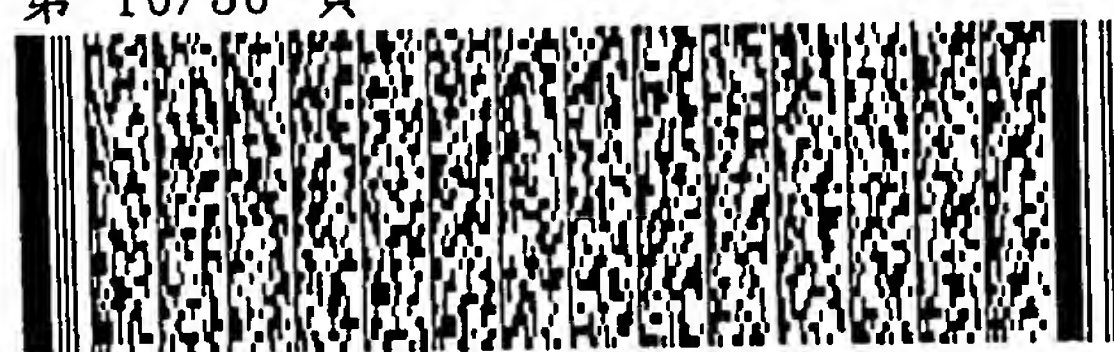
第 9/36 頁



第 9/36 頁

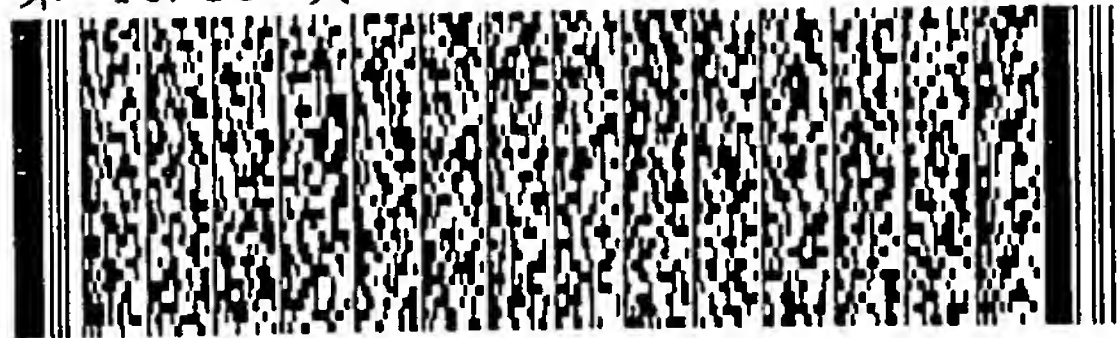


第 10/36 頁

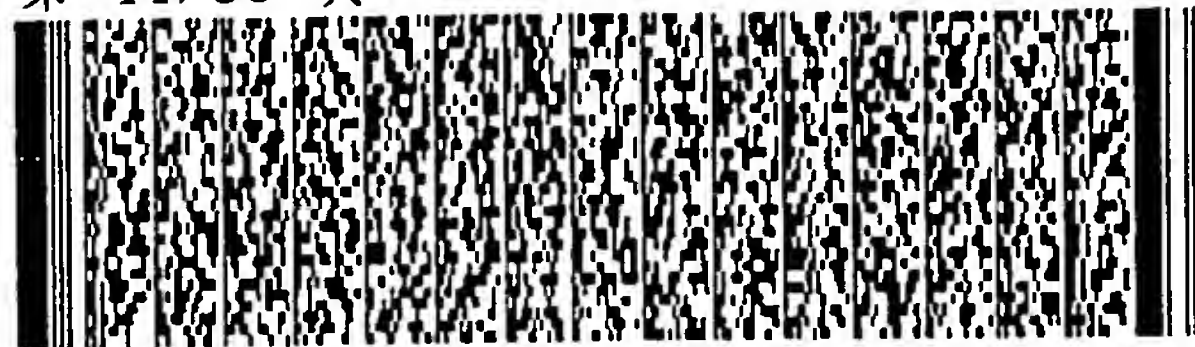




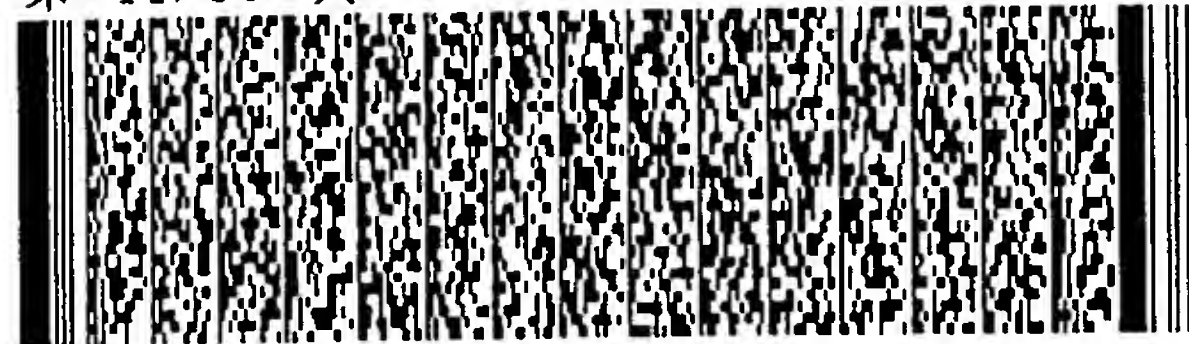
第 10/36 頁



第 11/36 頁



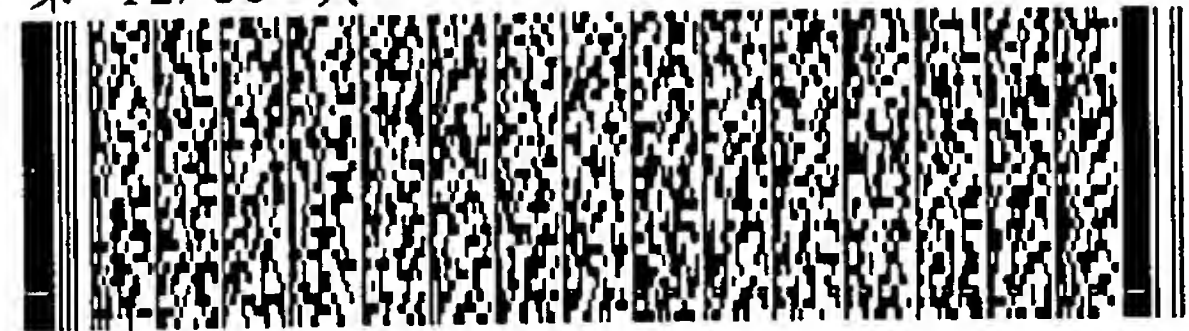
第 11/36 頁



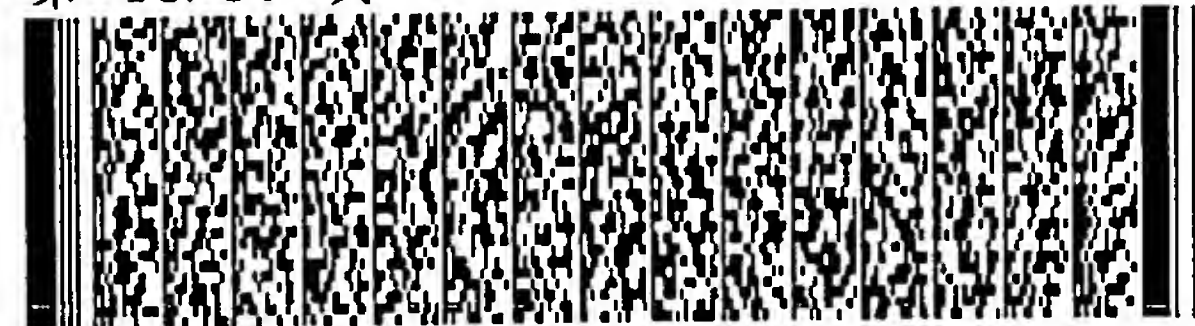
第 12/36 頁



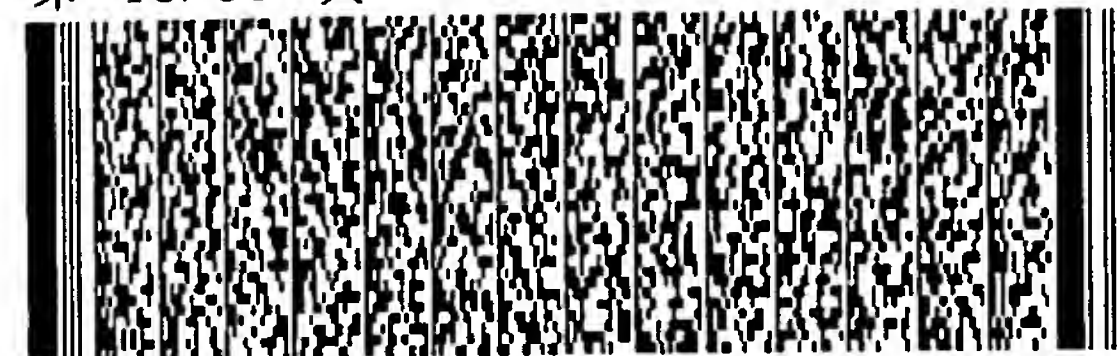
第 12/36 頁



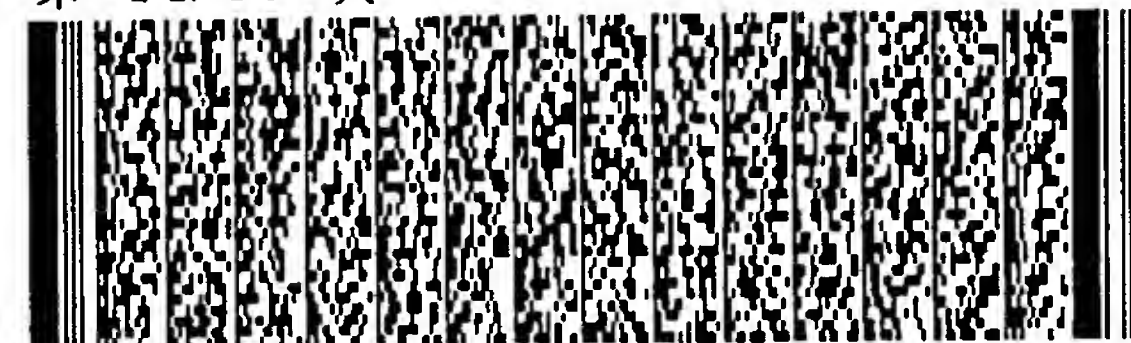
第 13/36 頁



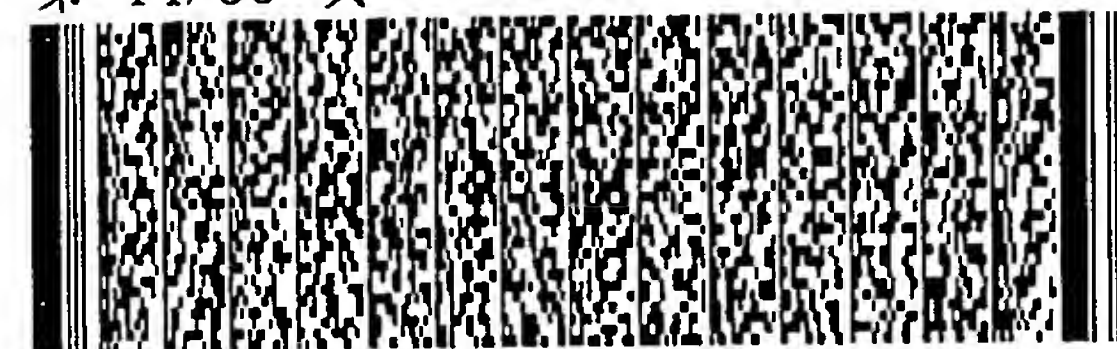
第 13/36 頁



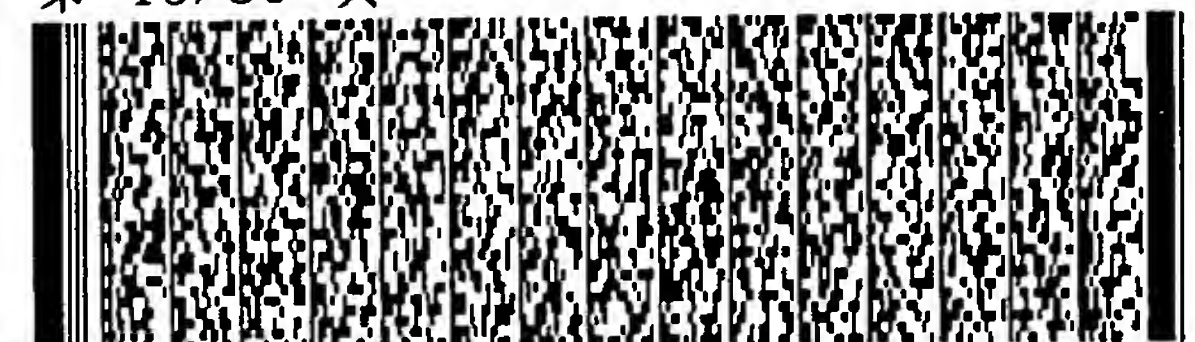
第 14/36 頁



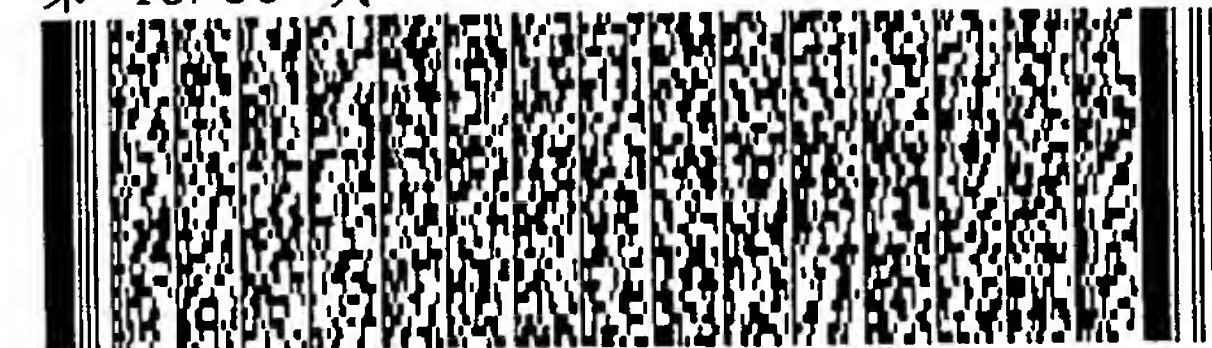
第 14/36 頁



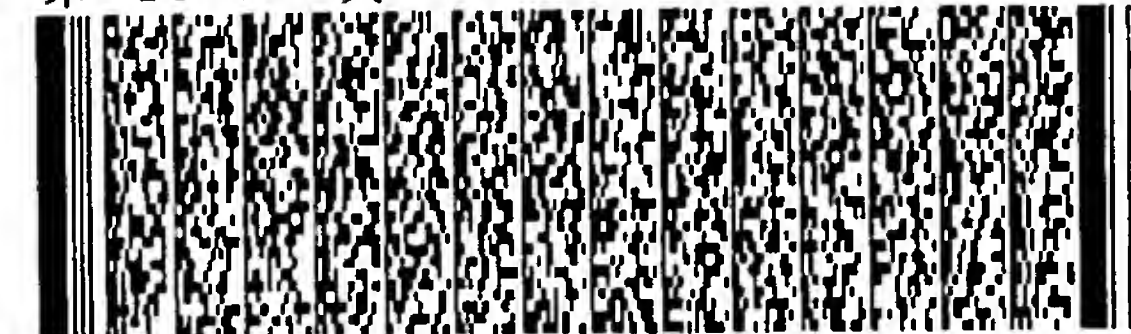
第 15/36 頁



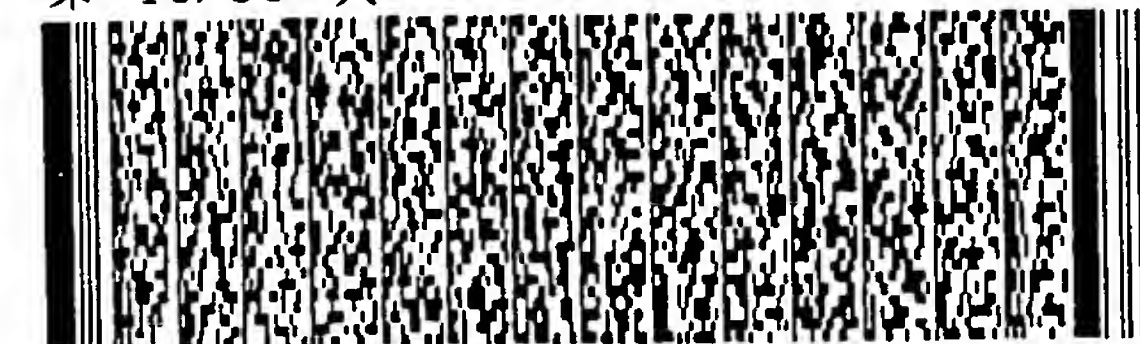
第 15/36 頁



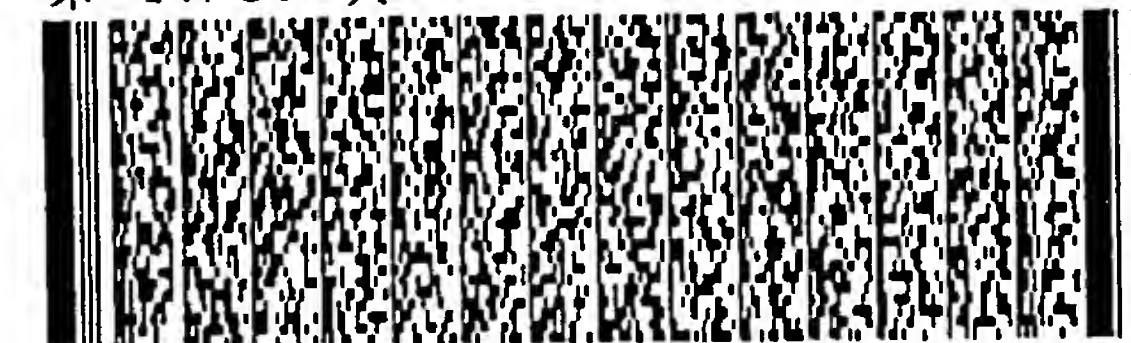
第 16/36 頁



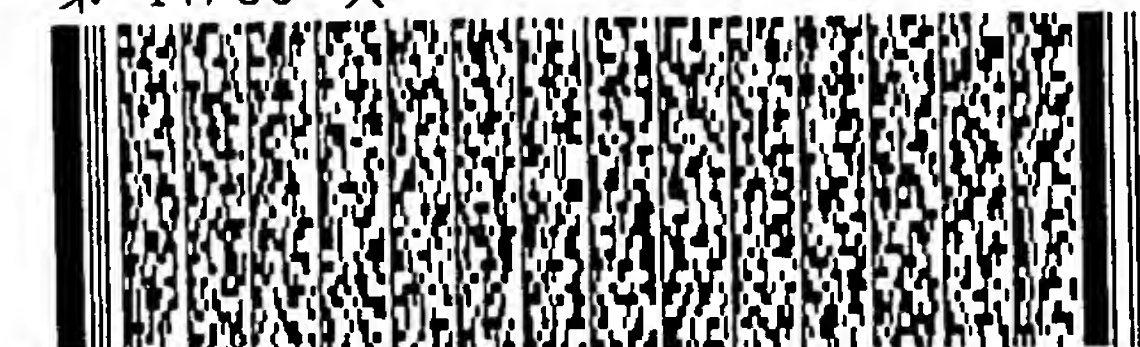
第 16/36 頁



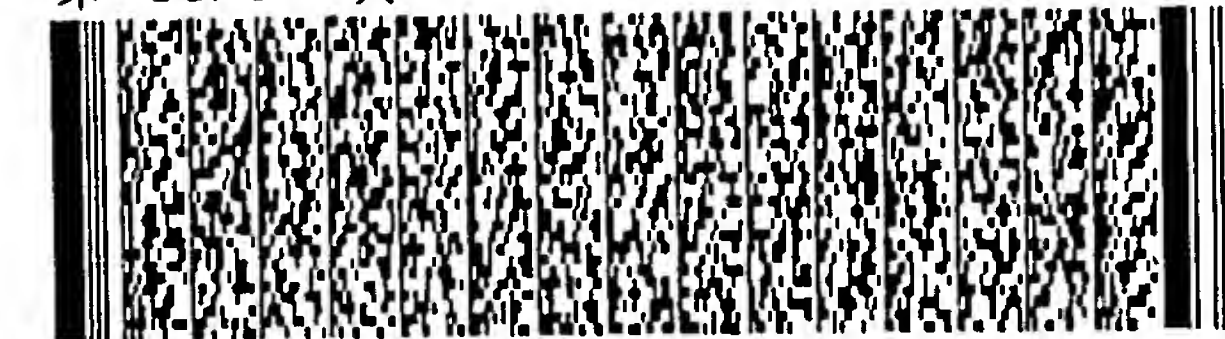
第 17/36 頁



第 17/36 頁

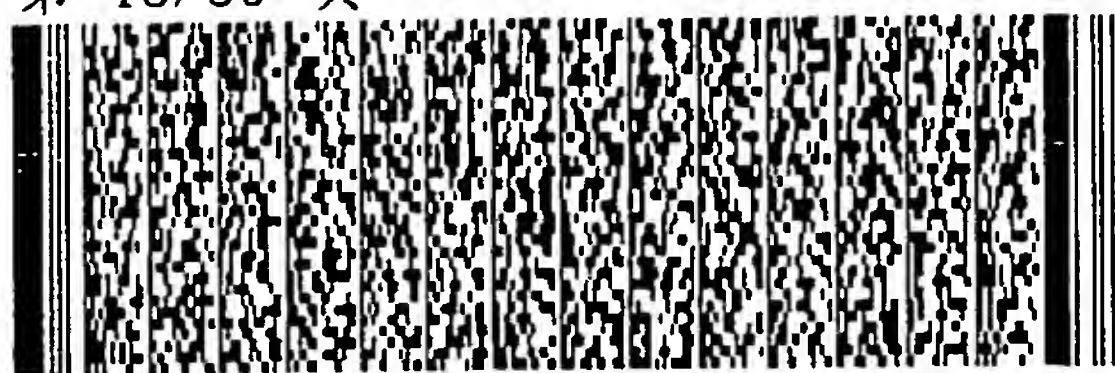


第 18/36 頁

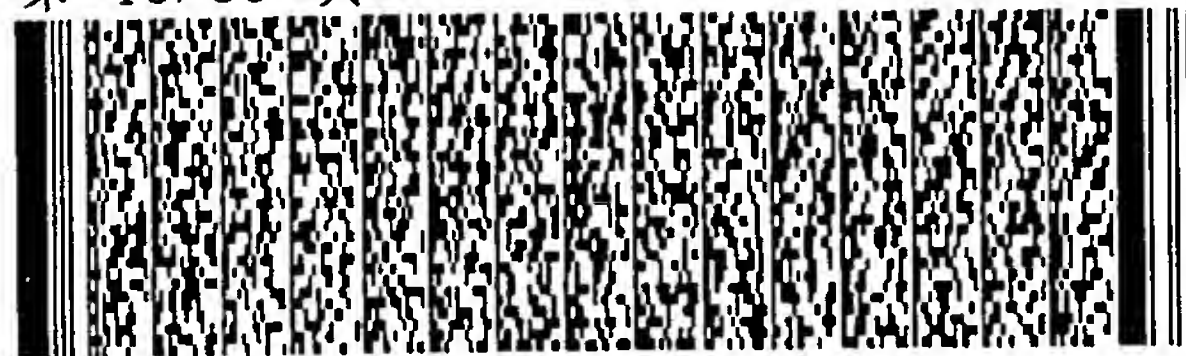




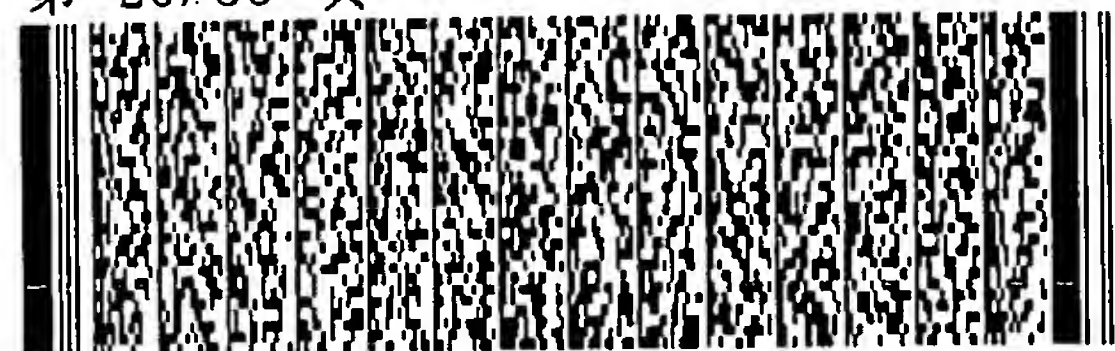
第 18/36 頁



第 19/36 頁



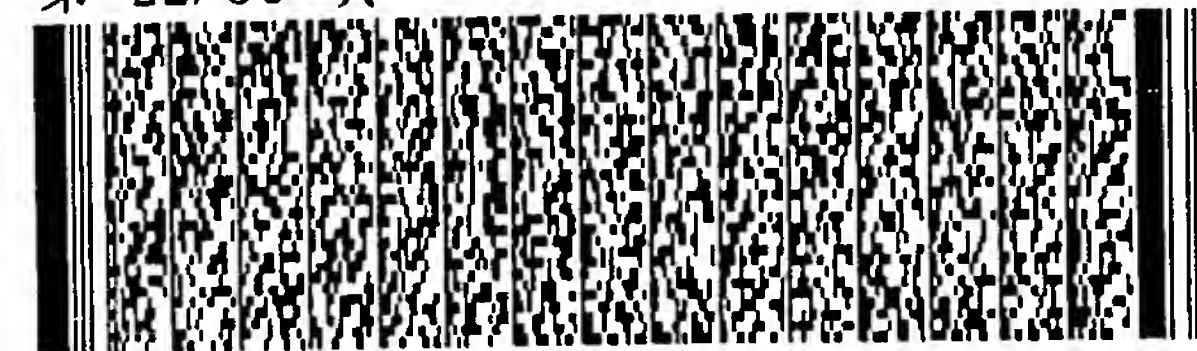
第 20/36 頁



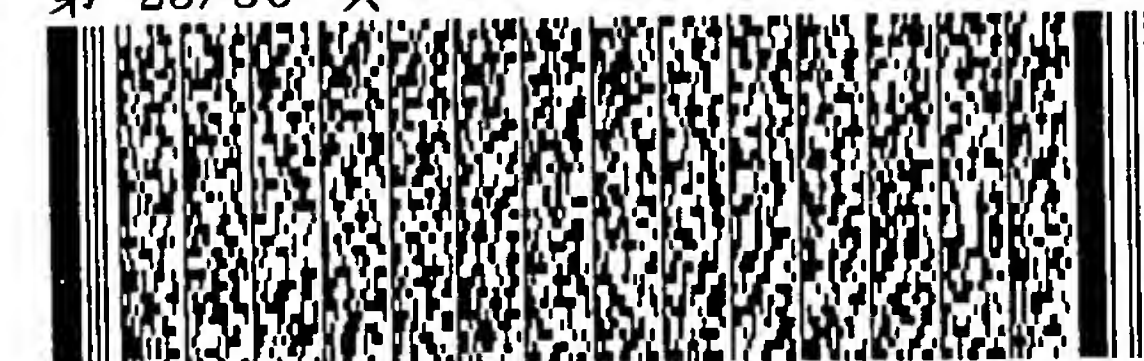
第 21/36 頁



第 22/36 頁



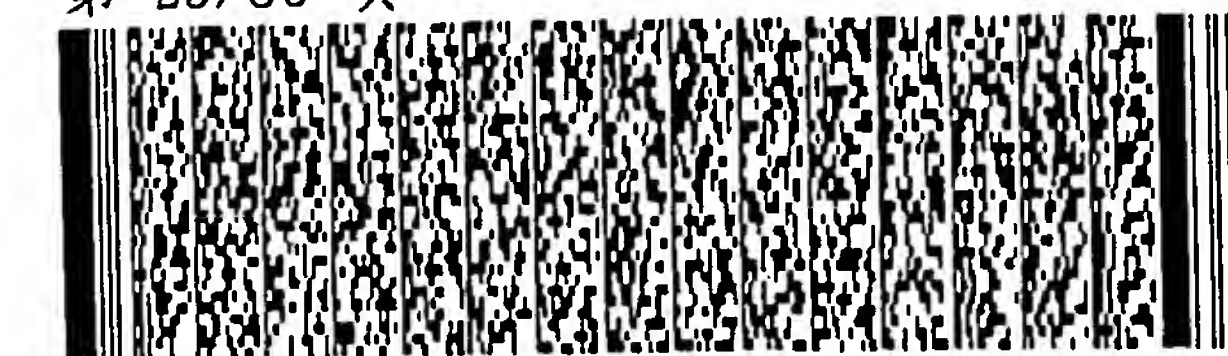
第 23/36 頁



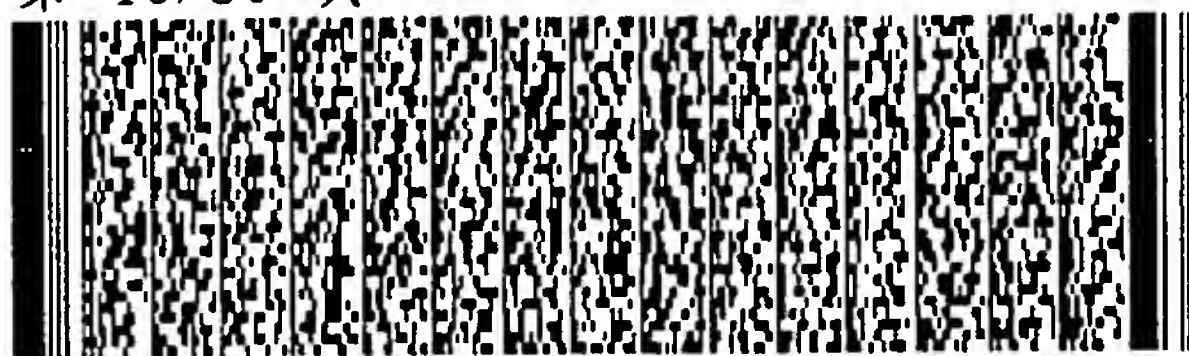
第 24/36 頁



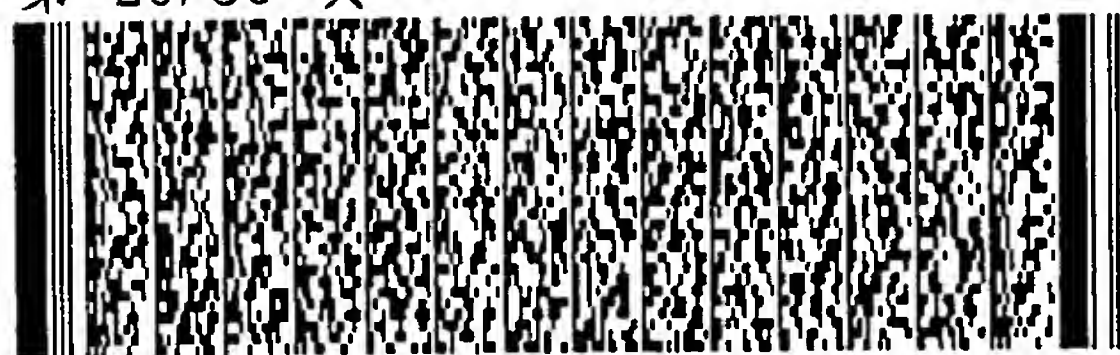
第 25/36 頁



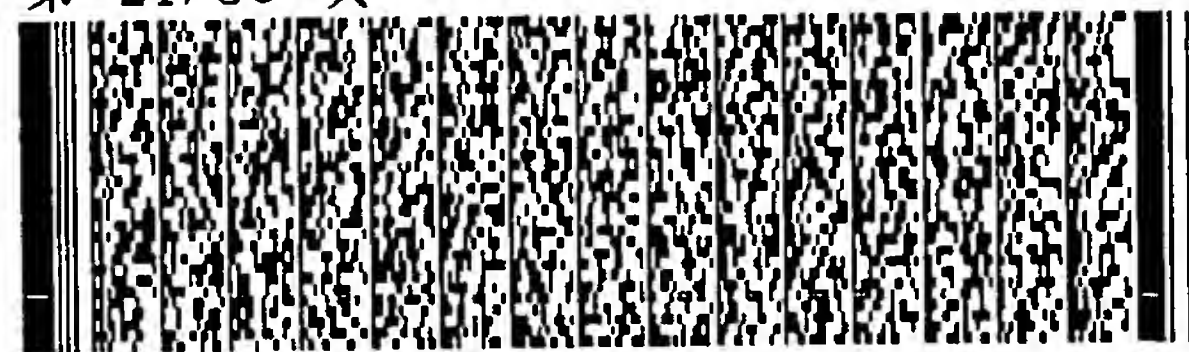
第 19/36 頁



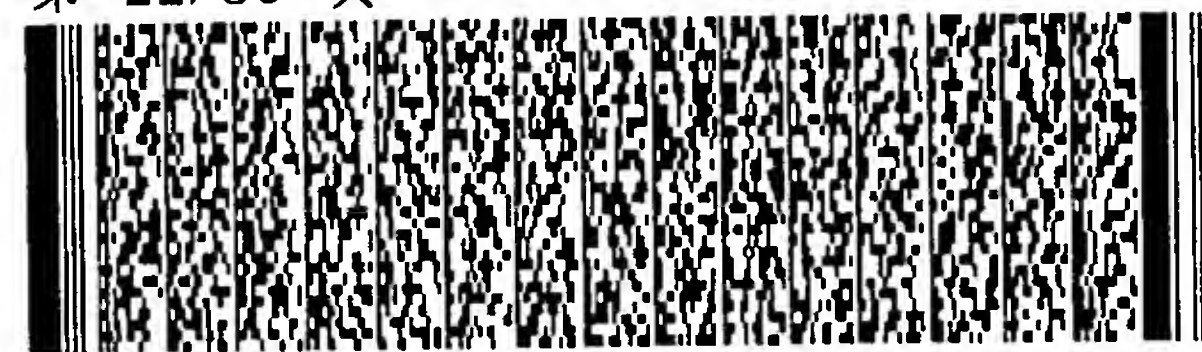
第 '20/36 頁



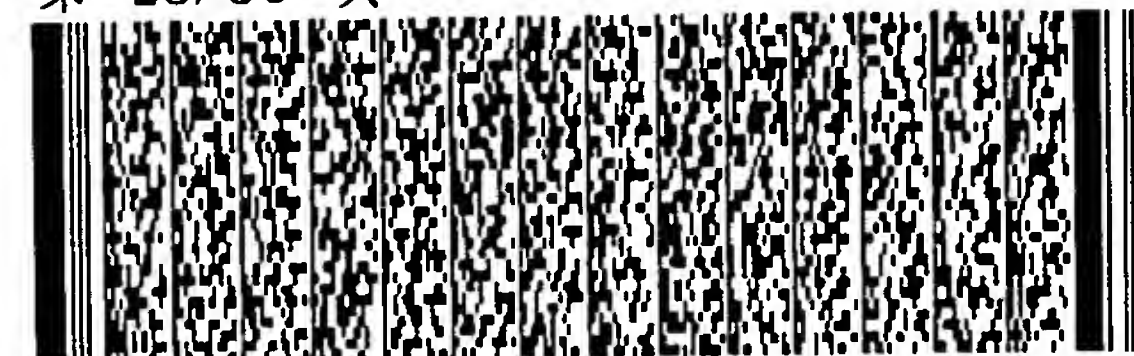
第 21/36 頁



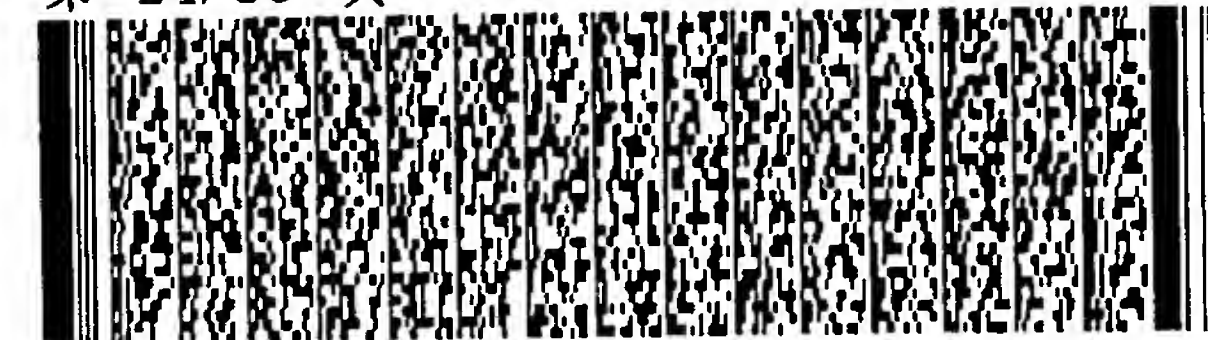
第 22/36 頁



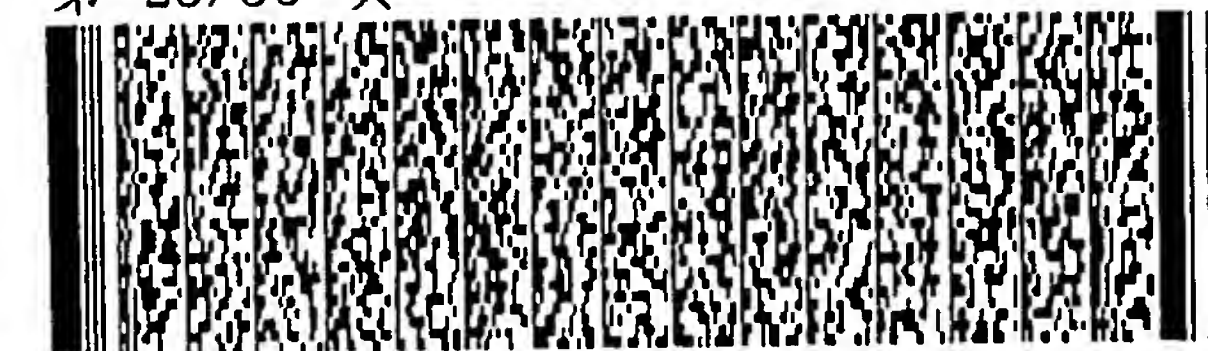
第 23/36 頁



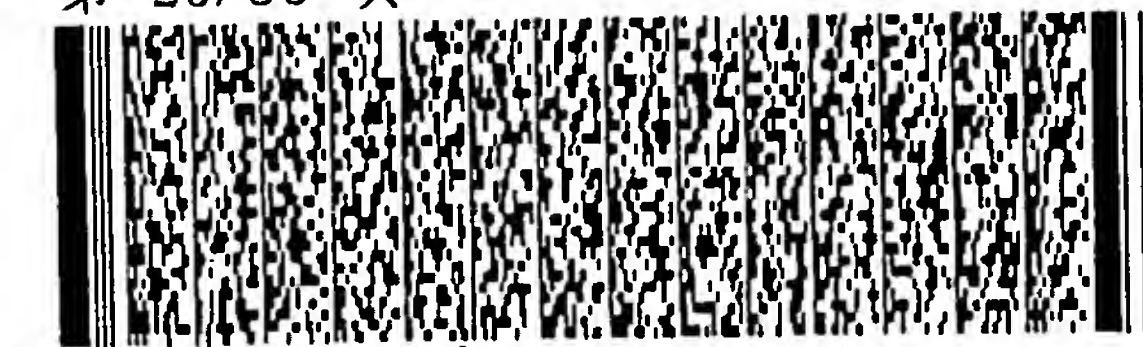
第 24/36 頁



第 25/36 頁

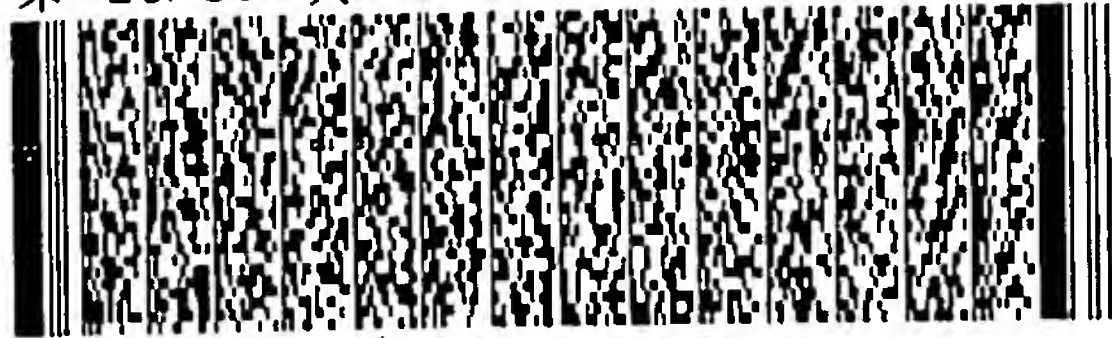


第 26/36 頁

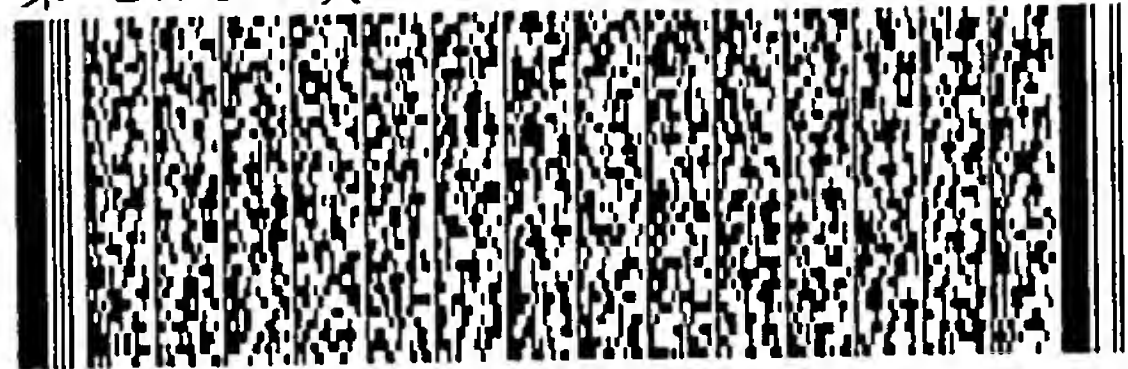




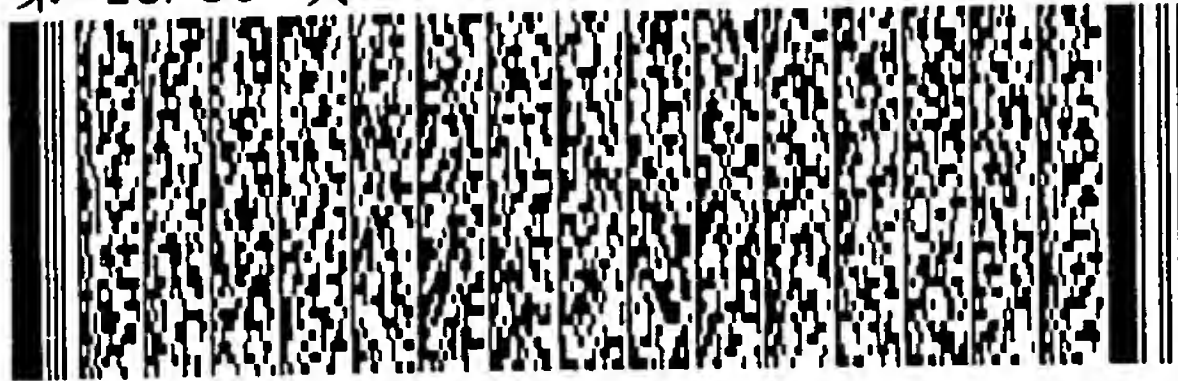
第 26/36 頁



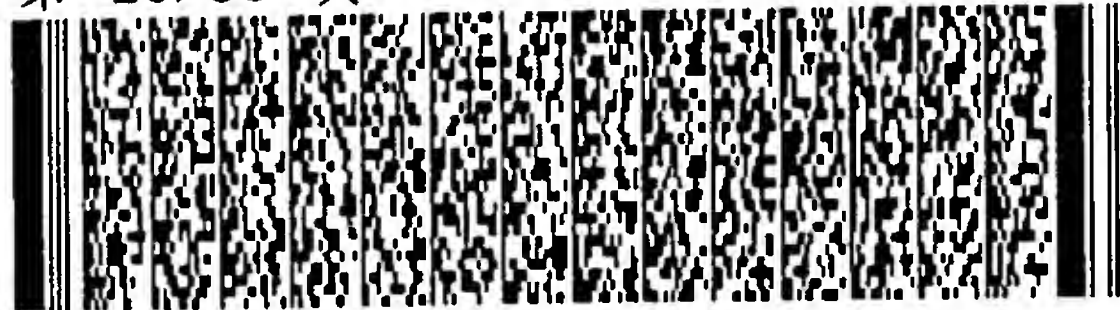
第 27/36 頁



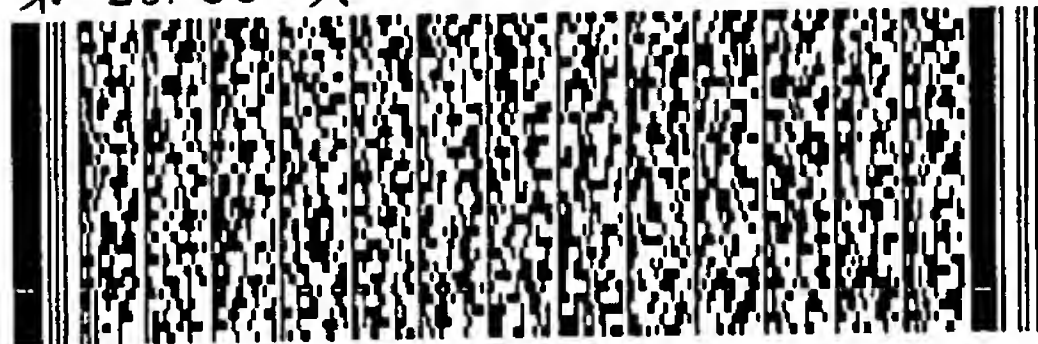
第 28/36 頁



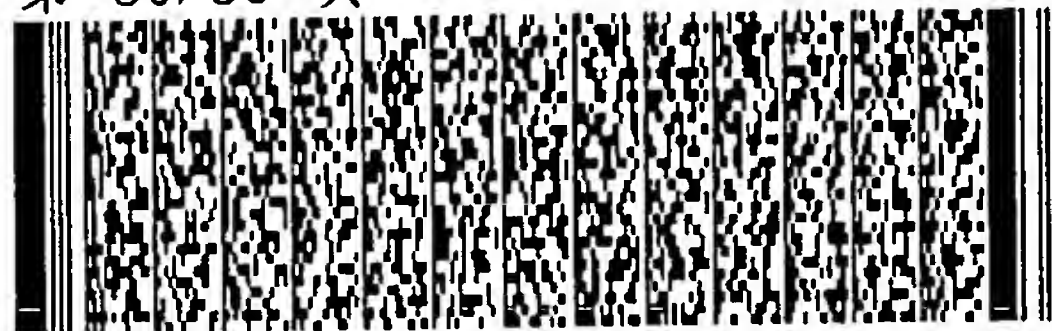
第 29/36 頁



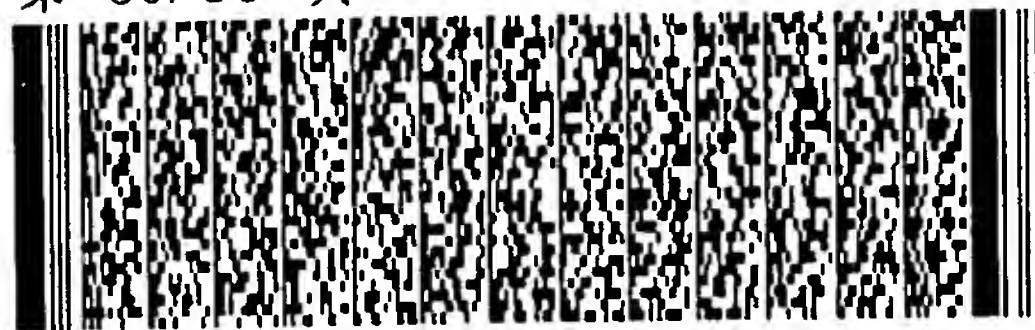
第 29/36 頁



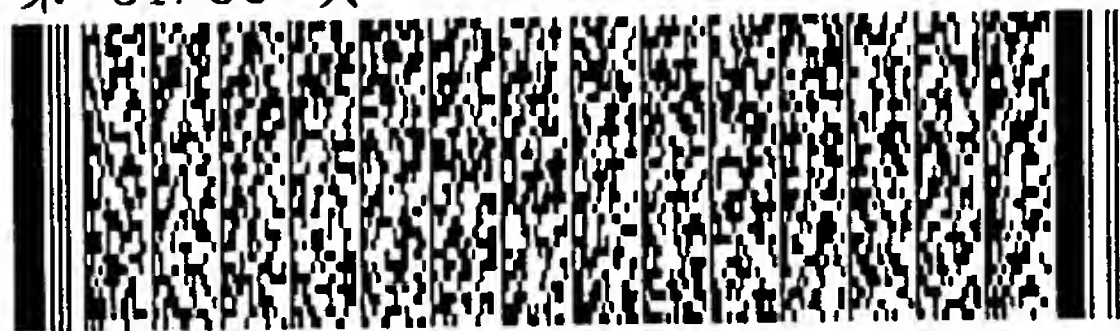
第 30/36 頁



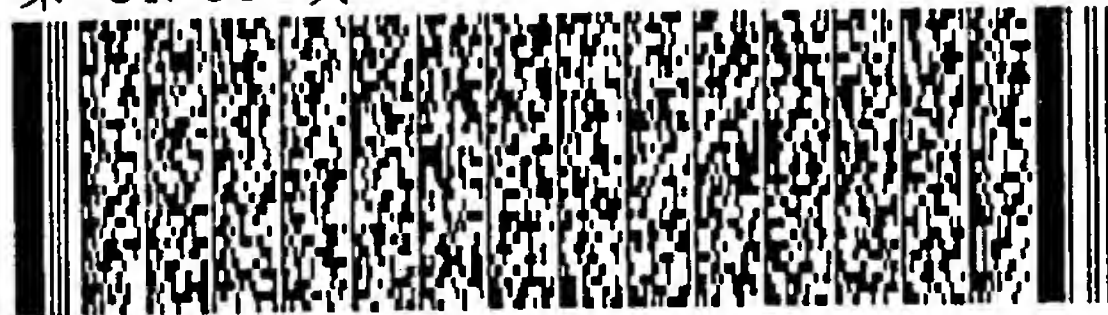
第 30/36 頁



第 31/36 頁



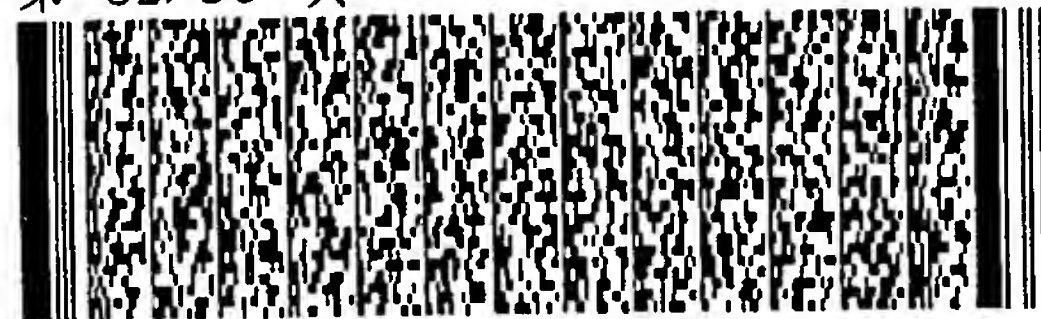
第 31/36 頁



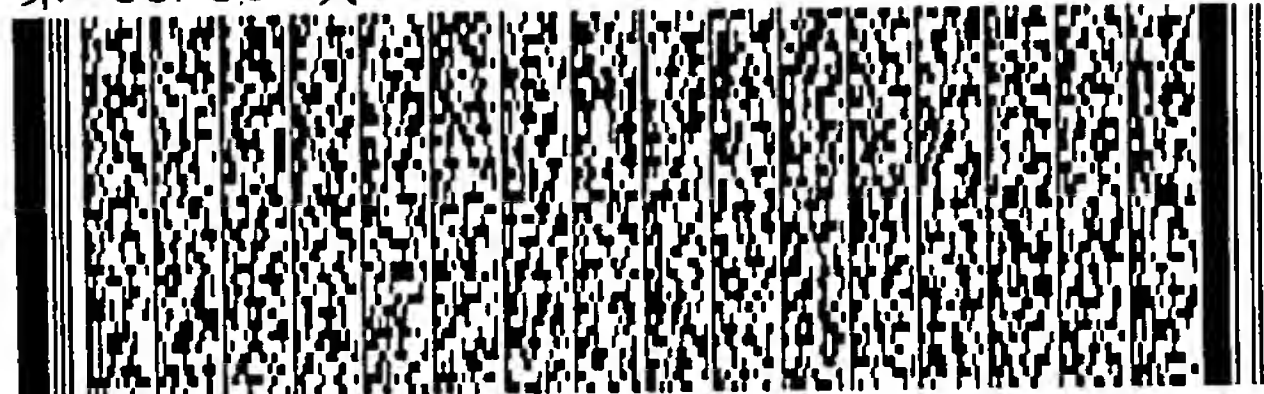
第 32/36 頁



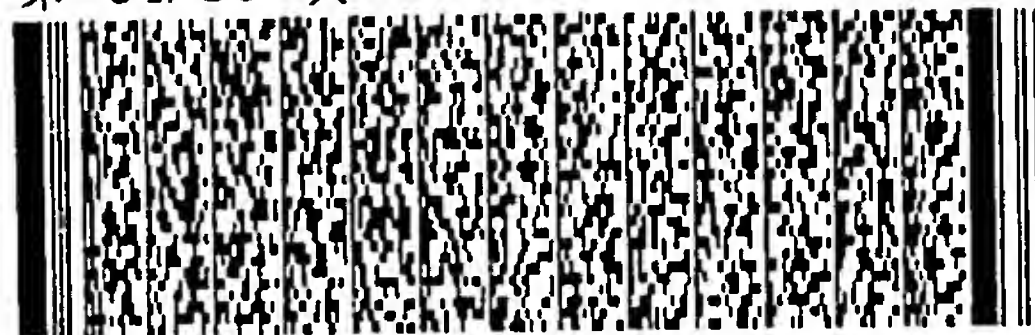
第 32/36 頁



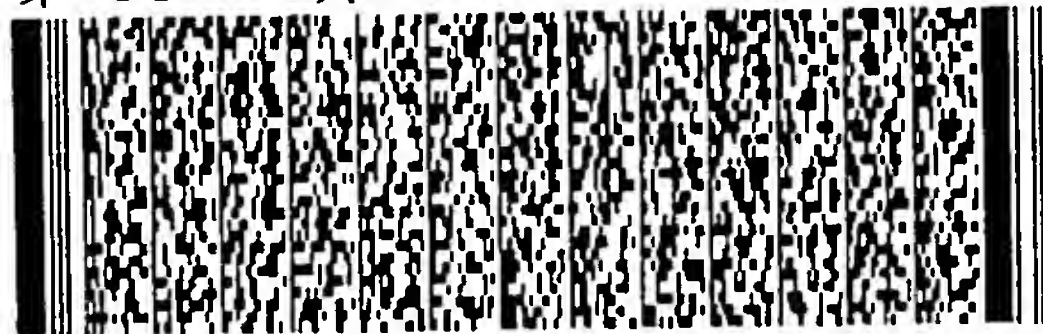
第 33/36 頁



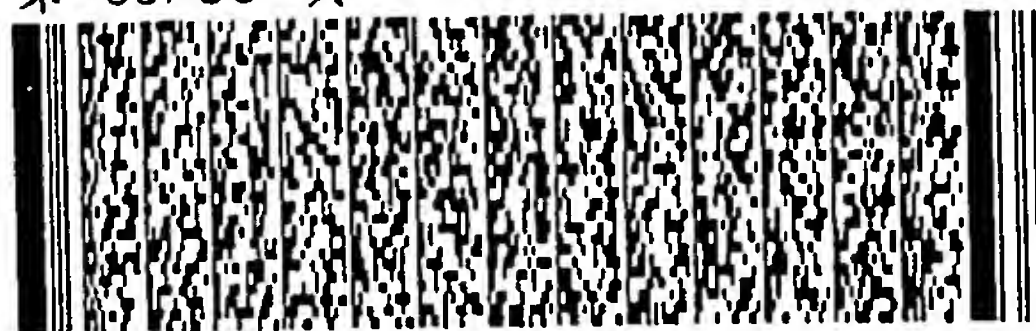
第 34/36 頁



第 34/36 頁



第 35/36 頁



第 35/36 頁

